DISCUSS. DESIGN. DELIVER.

ADI设计峰会 2013

高速和RF设计考虑

实现更高信号处理性能的高级技术

秦宇 应用工程师 ADI亚洲技术支持中心

XILINX ALL PROGRAMMABLE

MathWorks

ANALOG DEVICES

法律声明

- 专有信息说明，免责与免除担保

今日议程

- **PCB布局概览**
- 原理图
- 关键元件定位和信号布线
- 电源旁路
- 寄生效应、过孔和放置
- 接地层
- 布局回顾
- 总结

概述

- **何为高速？**
  - 超出此频率，PCB将极大地降低电路性能。(The frequency above which a PCB can significantly degrade circuit performance.) 50MHz及以上可视为高速。

- **PCB布局是设计流程的最后步骤之一，往往未得到足够的重视。高速电路的性能与电路板布局密切相关。**

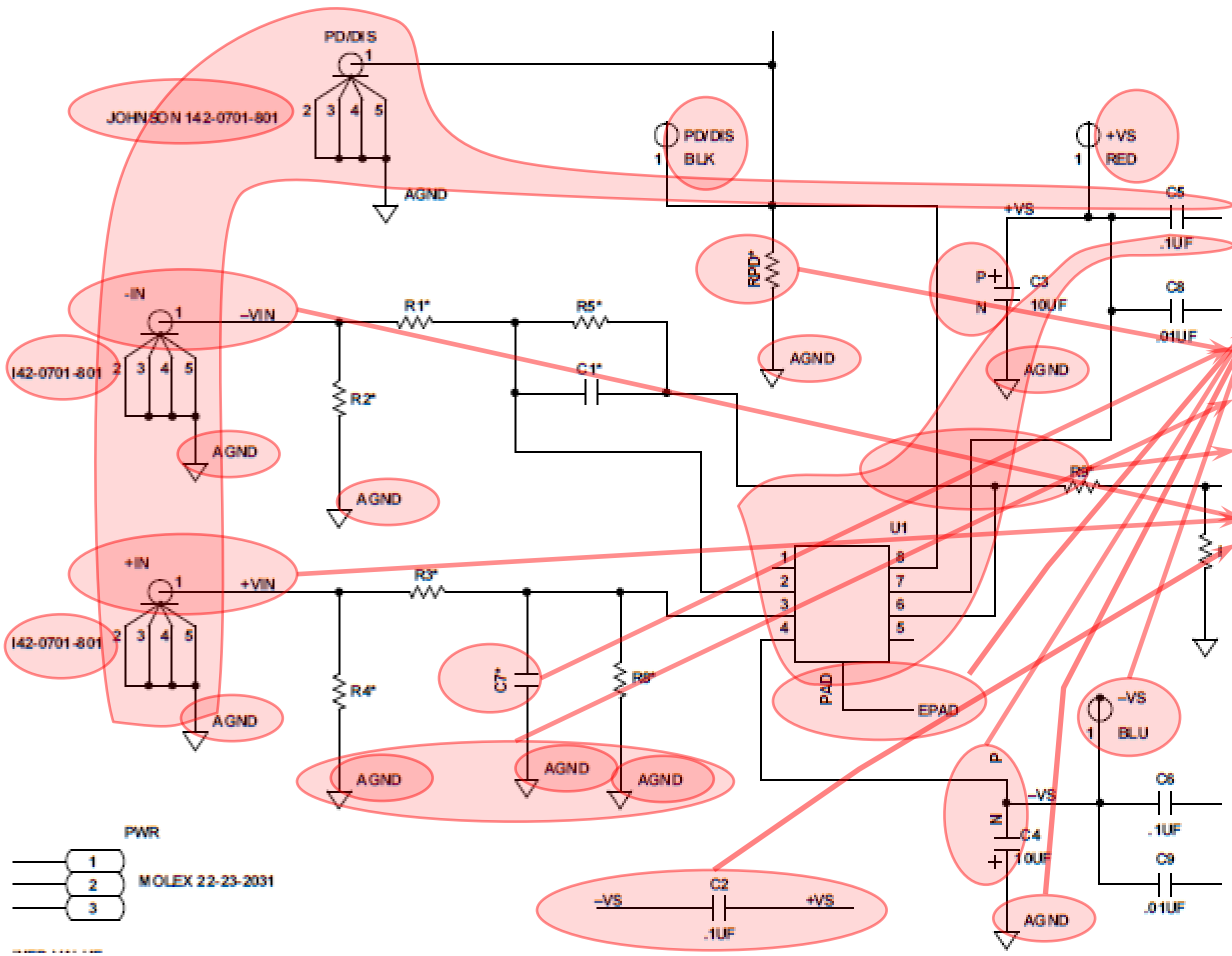
- **今天我们将介绍**
  - 一些实用的布局原则，它们有利于：
    - 完善布局流程
    - 帮助确保电路的预期性能
    - 缩短设计时间
    - 降低设计成本

原理图

原理图

- **良好的布局要以出色的原理图为基础！**
- **原理图基本功能**
  - 表示实际电路连接
  - 生成用于布局的NetList。
- **能更高效吗？**
  - 能更清楚地表示功能吗？
    - 其他人能够理解电路
  - 能显示信号路径吗？
    - 协助布局
    - 协助故障排除、调试
    - 表示功能
- **能更吸引人吗？**
  - 可增加认知价值
- **更有效的原理图可加快产品上市速度**

原理图



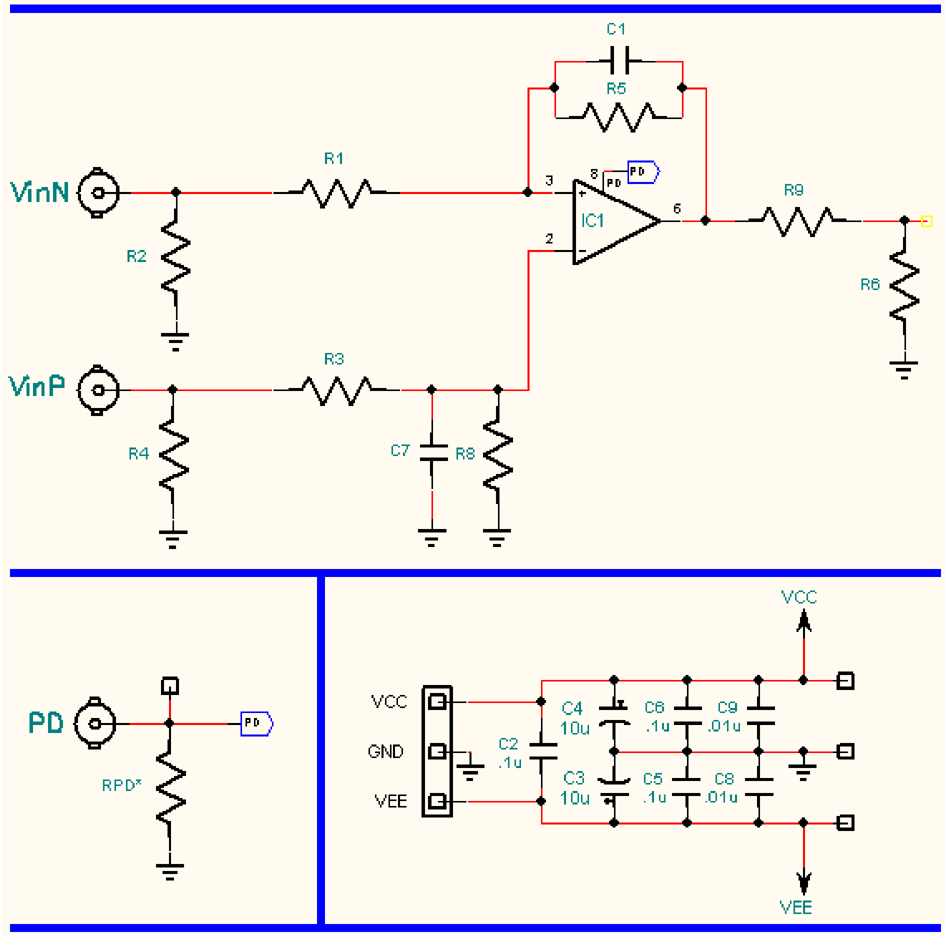
一个完美的原理图。

这些是什么？
这是什么？
太多不必要的文字
文字方向
排列对齐
线路交叉。这是否必要？
互相矛盾的文字
缺乏整体规划

元器件分布太零散
未标出功能
难以阅读

良好的布局要以出色的原理图为基础！

原理图 – 示例。看上去好点了吗？



Power Table				
Ref Des	Device(Type)	Package	VEE	VCC
IC1	ADA4841-1YRZ	SO-8	4	7

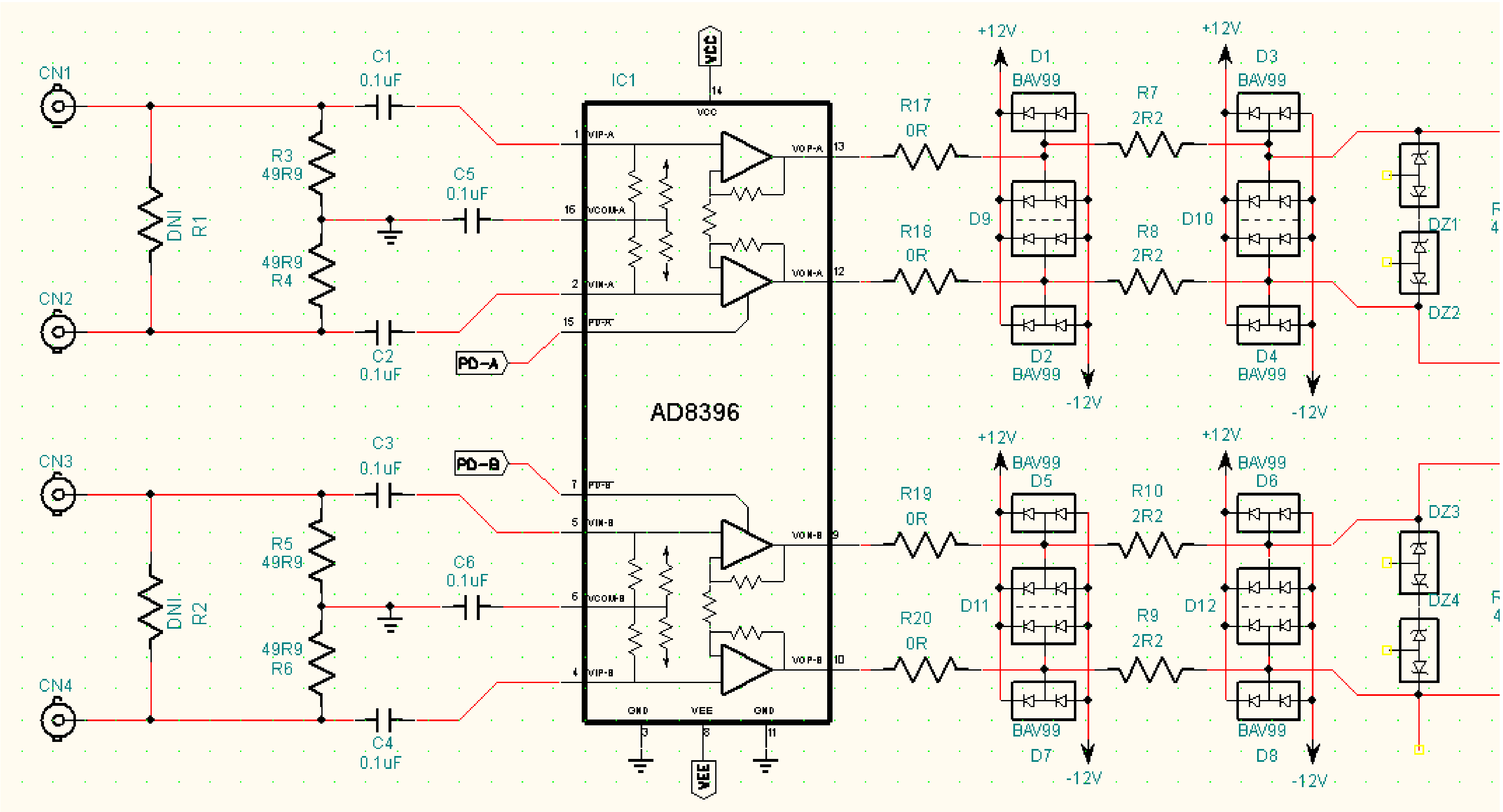
- 功能标注在显眼的位置。
- 信号路径可辨。
- 元器件按照功能分组。
- 辅助功能单独列出。

- 不凌乱
- 无交叉线路
- 无多余文字
- 其余隐藏信息自动带入布局中。
- 占据更少的纸张空间，但符号尺寸更大。

- 整体外观可加入颜色。
- 分割线有助于辨认功能模块。

- 看上去好点了吗？

原理图 – 一个更复杂的电路



ANALOG DEVICES

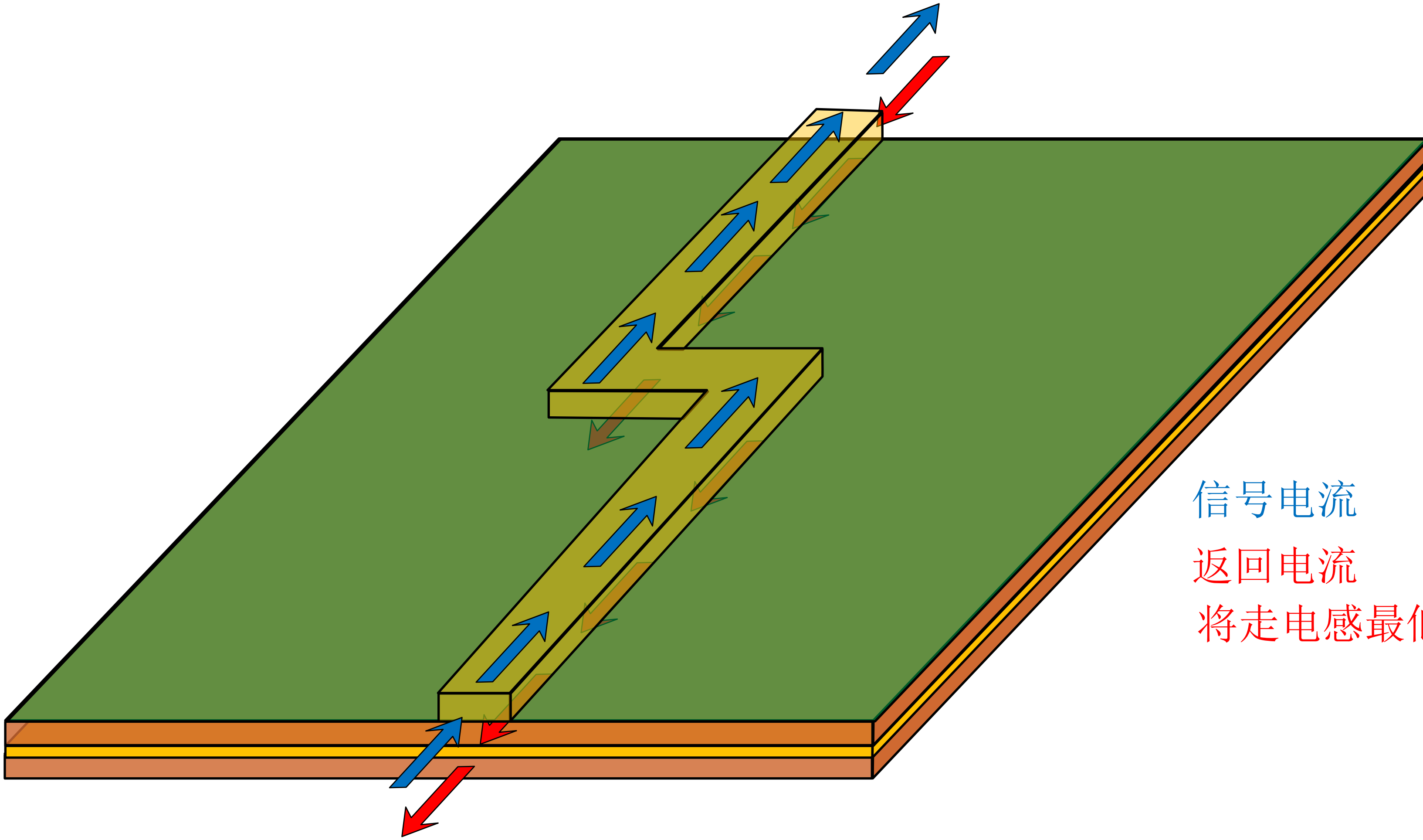
元器件放置
和信号布线

元器件放置和信号 布线

- 就如房地产一样，位置决定一切！
- 电路板上的输入/输出和电源连接一般都是既定的
- 元器件的位置和信号路由需要谨慎考虑、细致规划

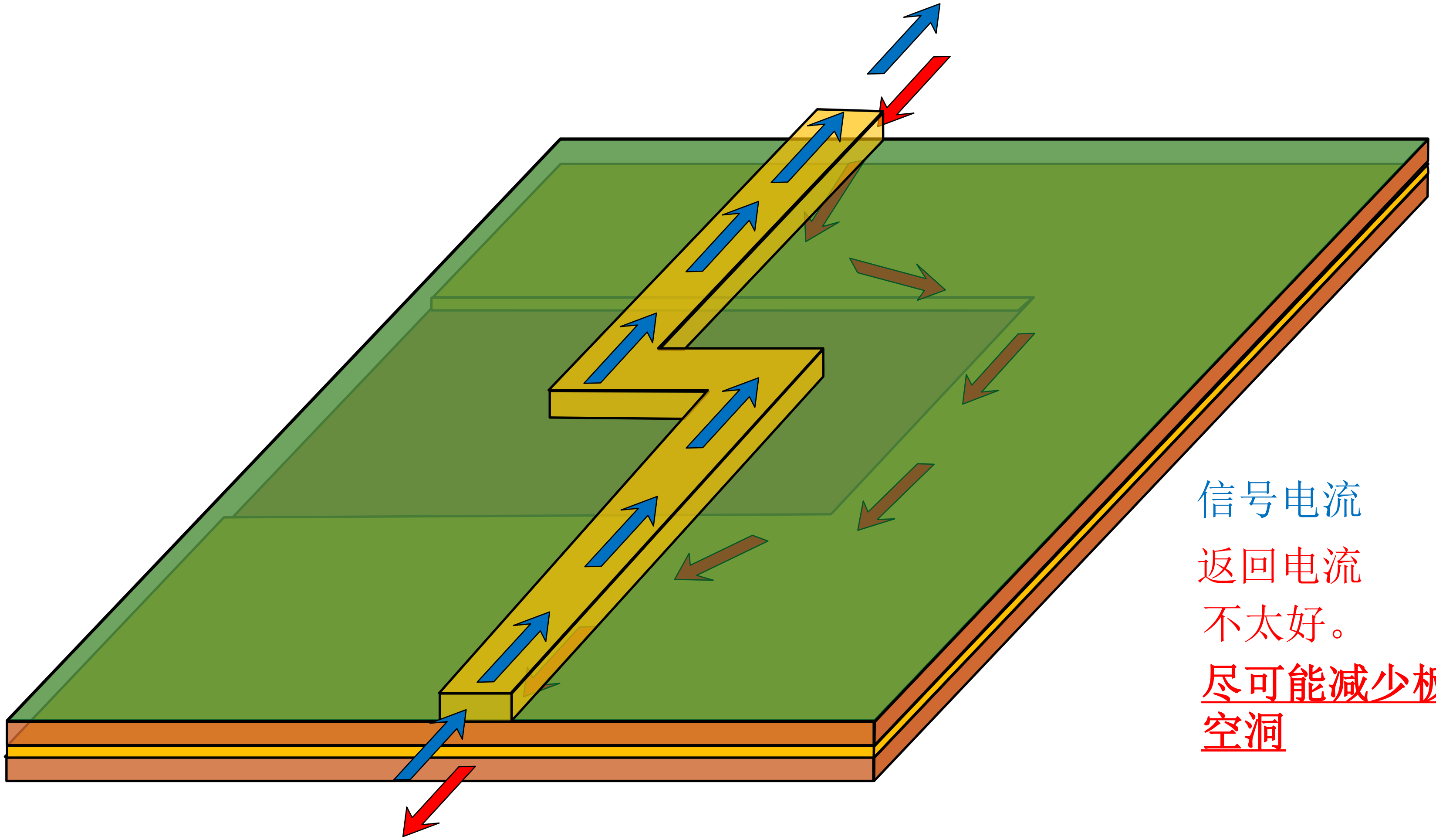
元器件放置和信号 布线

板层的使用



元器件放置和信号走线

板层的挖空



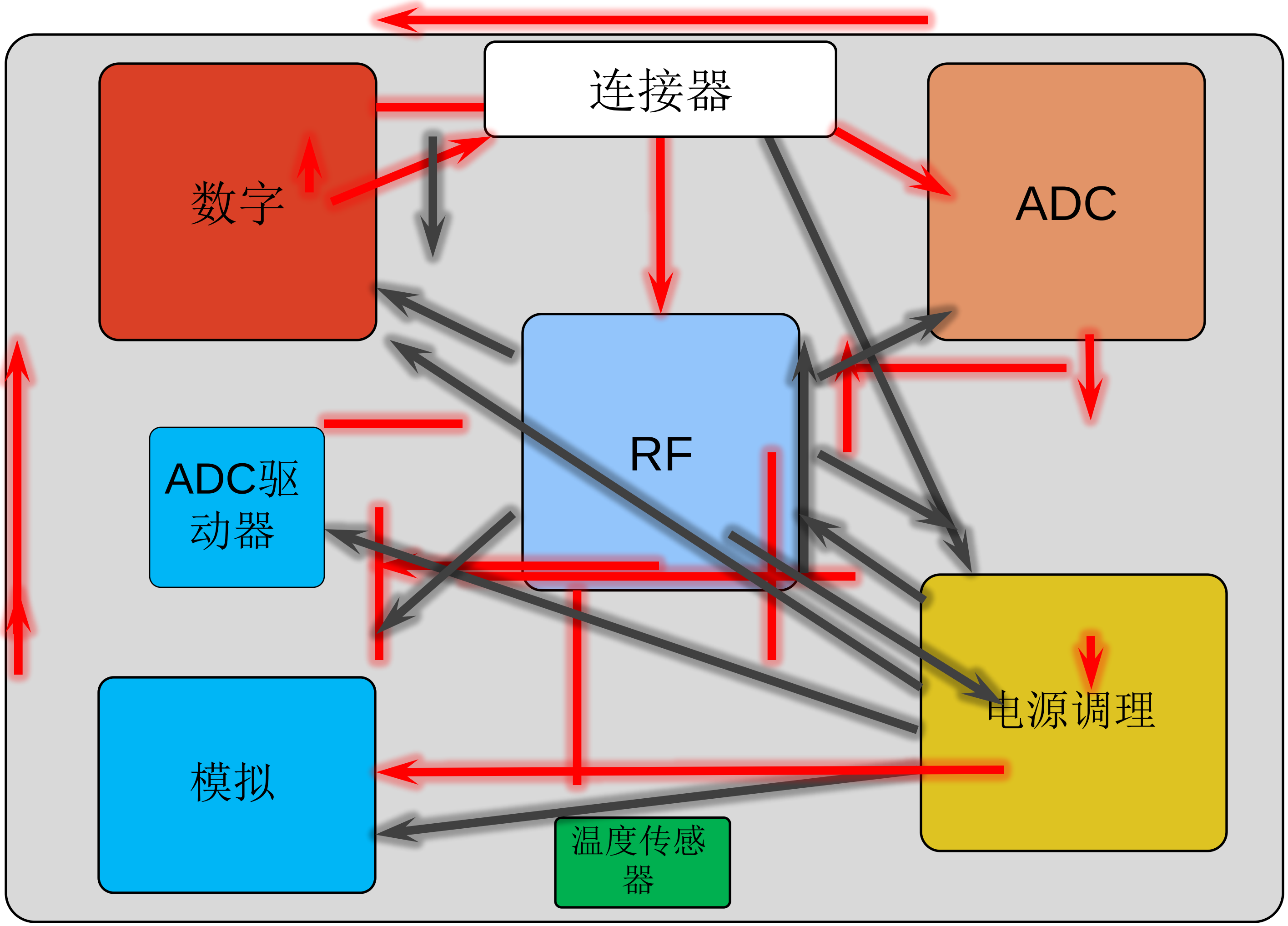
信号电流

返回电流

不太好。

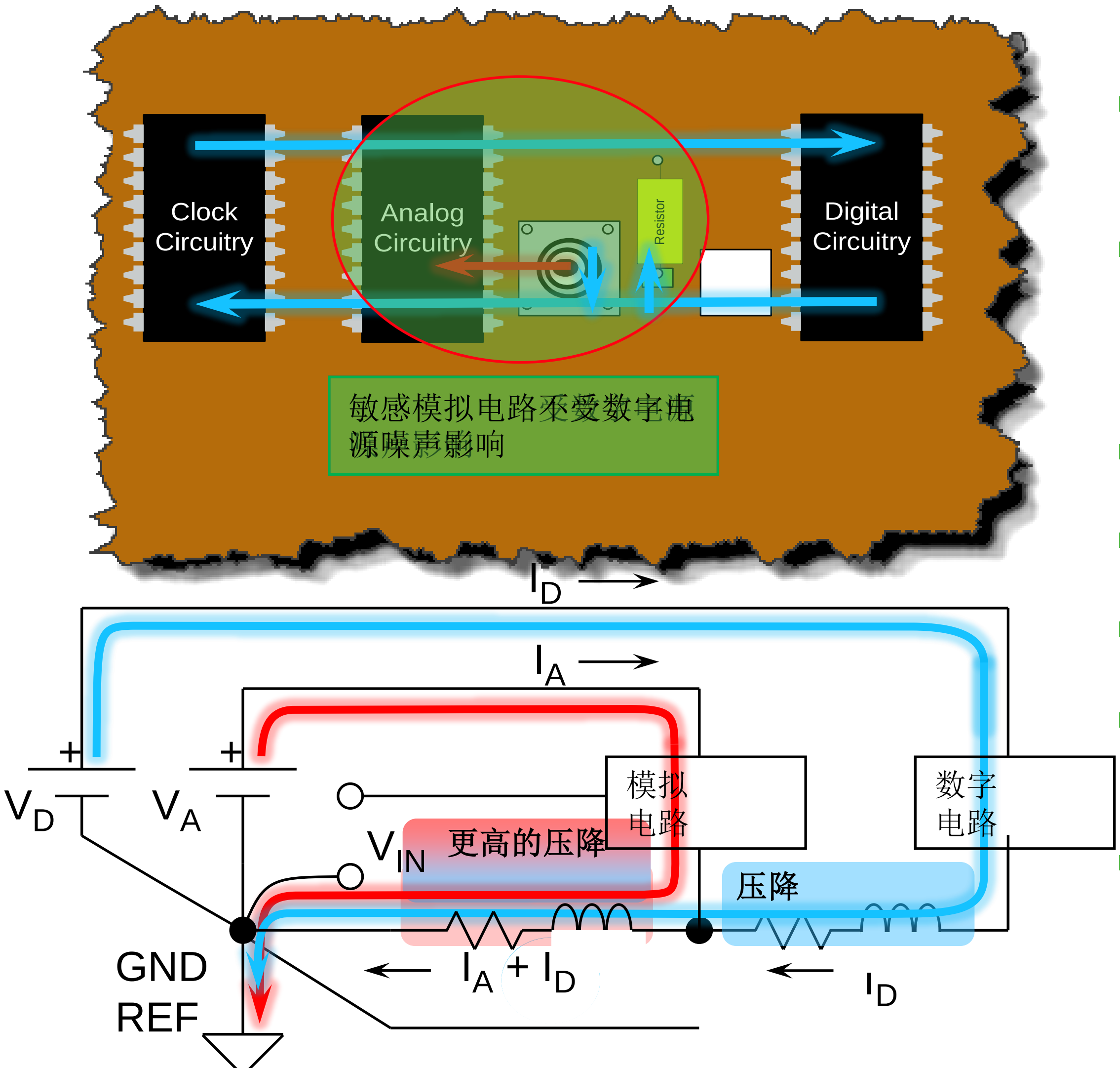
尽可能减少板层中的空洞

元器件放置和信号布线
信号布线



位置已优化 – 理想
位置未优化 – 尽量减少交叉

元器件放置和信号路由
回路路由

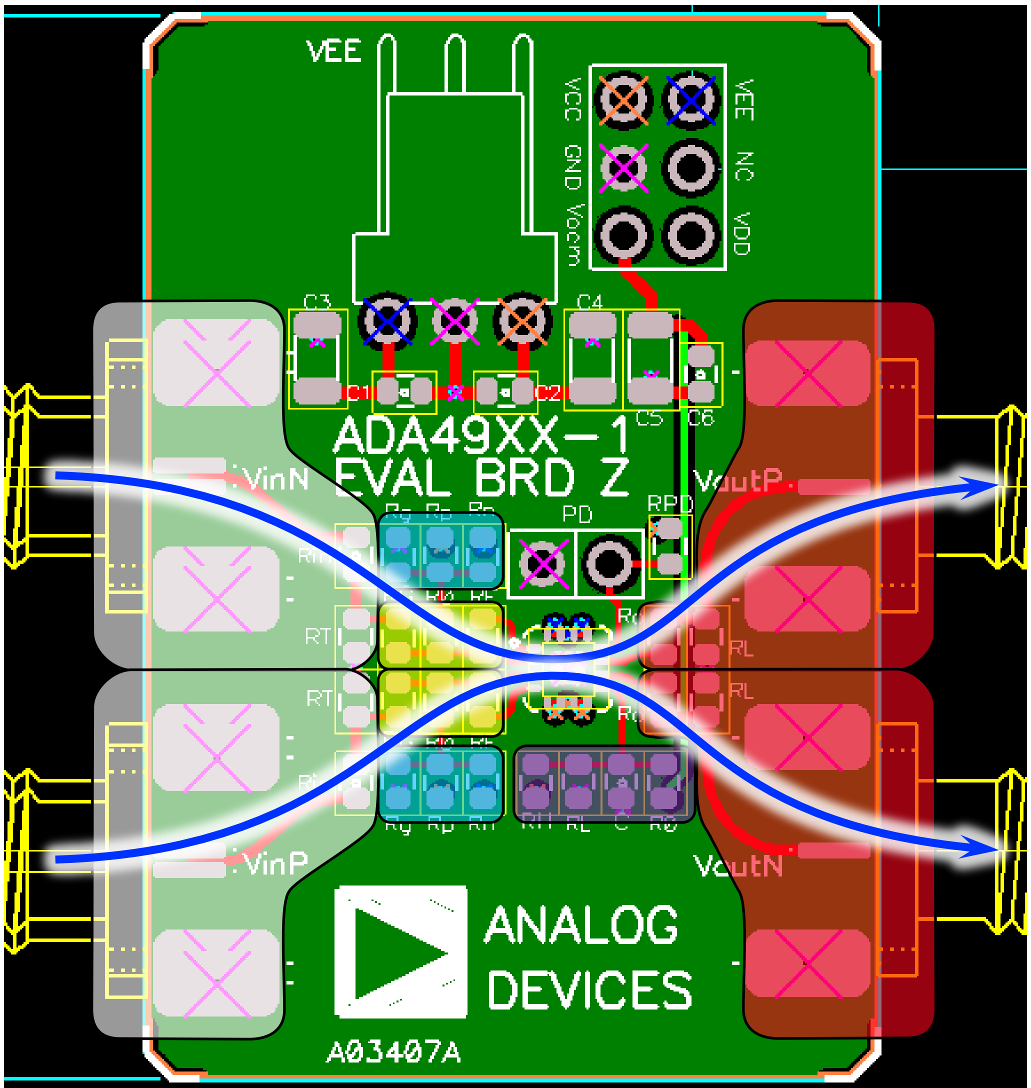


更好的方法

- 使用GND和PWR层减少回路R和L。
- 使用独立的AGND和DGND层可最大程度降低AGND层的数字耦合。
- 功能划分
- 对功能相关的元器件分组。
- 将功能配合信号路径放置。
- 首先通过输入和输出，沿信号路径进行功能布局。
- 然后实现功能之间的连接。

元器件放置和信号布线

示例



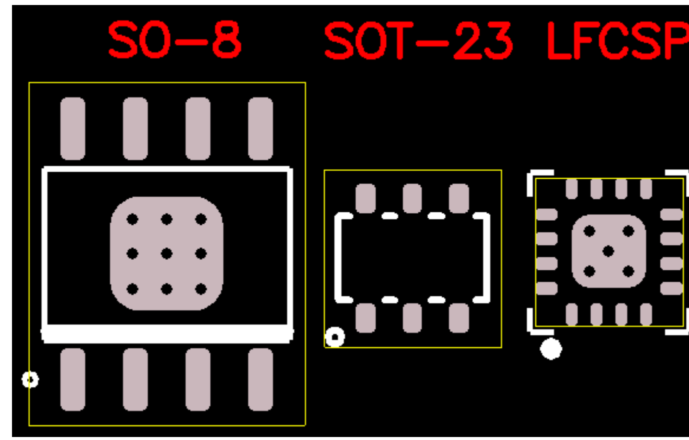
- 两个输入。二者确保平衡。
- 增益和反馈。二者确保对称。
- 输出。二者确保对称。
- 电平转换接入信号路径。二者确保对称。
- 辅助功能。
- 关键信号路径尽量短。
- 关键信号路径采用备用路径，保持平衡。

元器件放置和信号布线
封装和引脚排列选项

封装在高速应用中发挥着重要作用

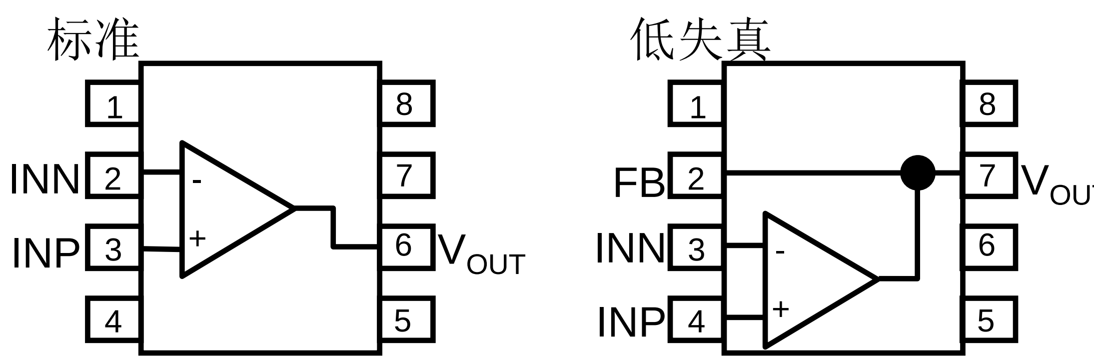
小型封装

- 更佳的高频响应
- 紧凑的布局
- 更低的封装寄生效应

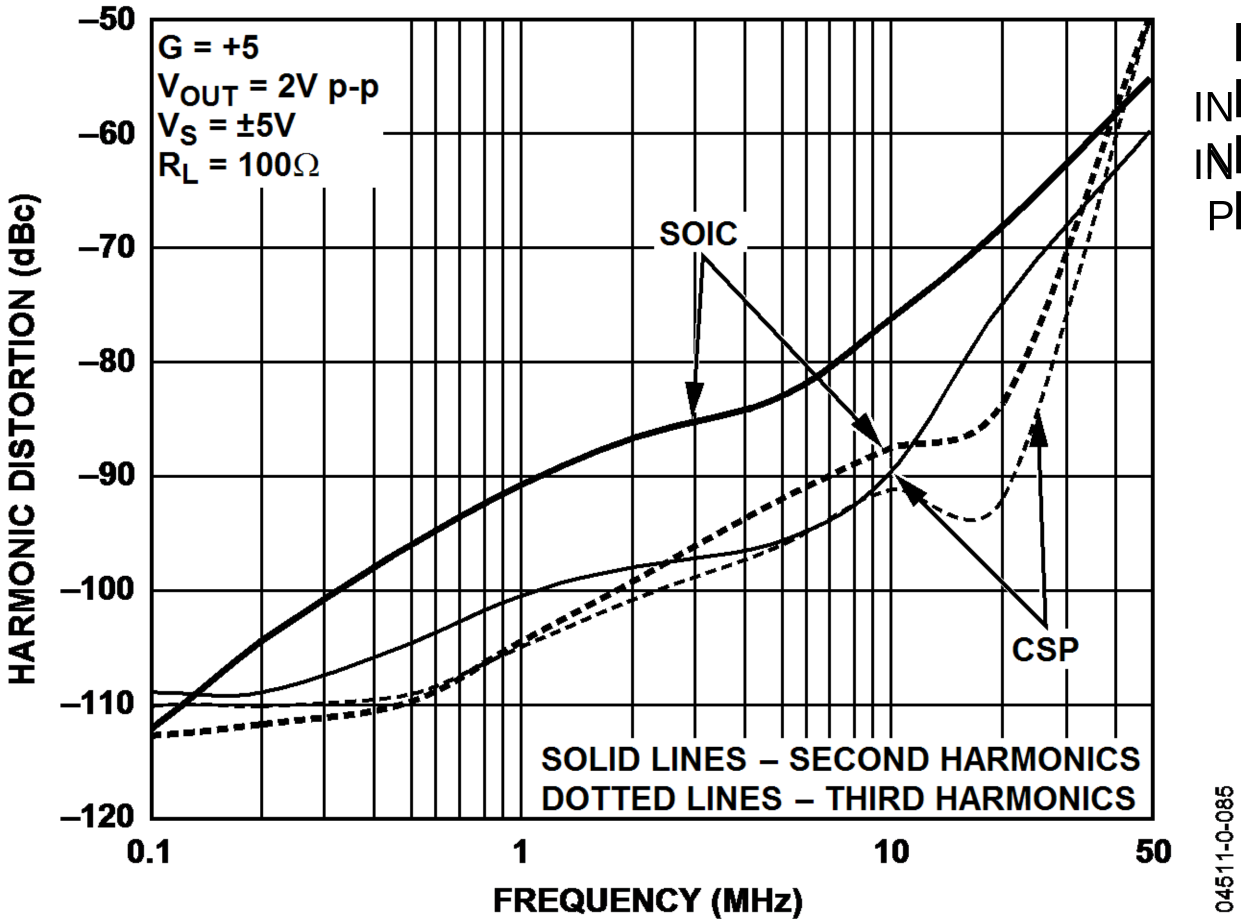


低失真引脚排列（专用反馈）

- 紧凑的布局
- 流线型信号流
- 更低失真

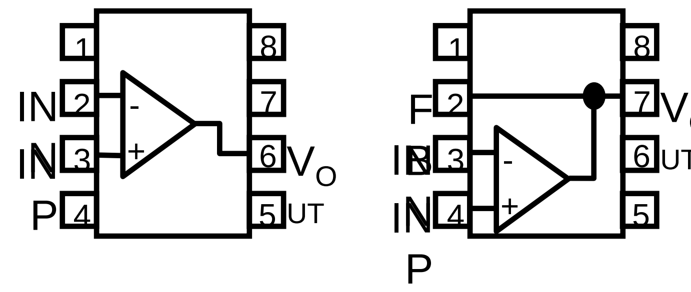


AD8099谐波失真与频率的关系
CSP和SOIC封装



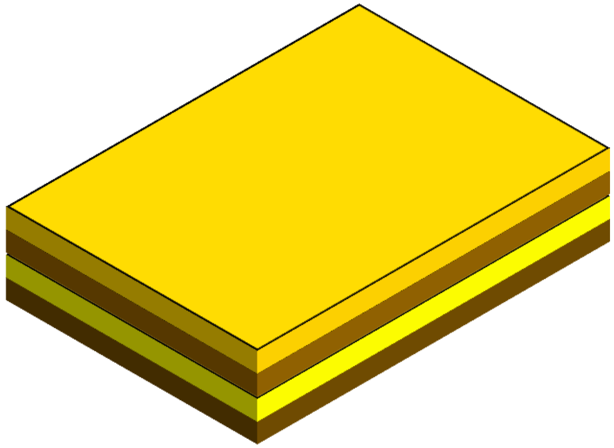
标准

低失真

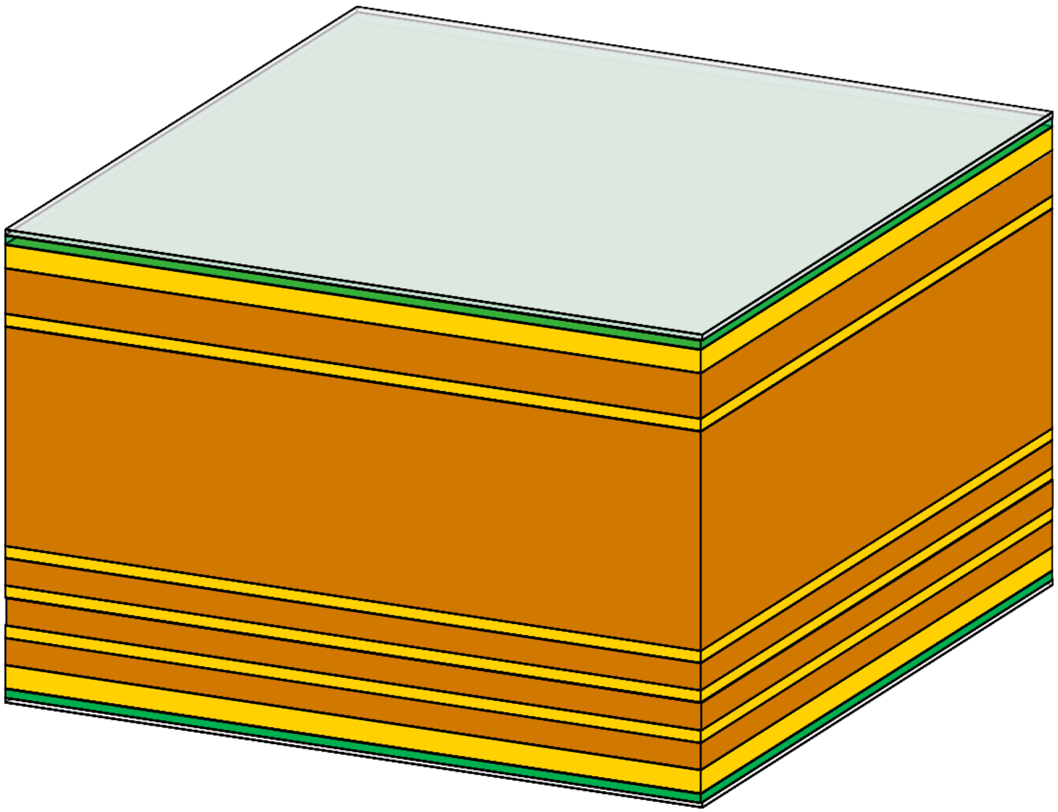


改善
1MHz时为10dB；
10MHz时为14dB

PCB



PCB
典型62mil(1.6mm) 6层PCB层叠



顶部丝印

- 与底部丝印相同
- 印有组装和/或元器件ID信息。
- 仅提供信息。不影响性能。非必须。
- 信息包括文字、线条、形状。
- 若信息放置的位置未经仔细考虑，信息将毫无用处。
- 线条最小宽度 = 5mil(0.127 mm)
- 文字的高度与线条宽度的比值应大于12，以便文字可辨认。

- 不要将文字放在过孔、孔洞、接合焊盘位置。
- 接合焊盘之间保持最小距离。
- 各厂商产品质量有所不同，边沿尖利到肮脏都有可能。

PCB

PCB材料选择示例

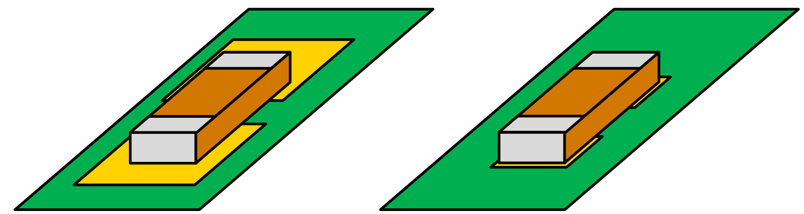
- **Isola – FR4类型**
  - 常见通用材料。
  - 无铅焊接的高温版本
  - 高介电常数：4.7-4.2。产生高寄生电容
  - 额定值为1 GHz
  - 受控阻抗走线一致性尚可，但并非最佳。
- **Rogers – PTFE类型**
  - 良好的高频、高温材料
  - 低介电常数。2.2及以上。可降低寄生电容
  - 成本高
  - 良好的阻抗一致性
  - 额定值为10 GHz
- **许多其他厂商。某些厂商性能规格与上述类似。**

PCB
元器件接合焊盘设计

接合焊盘尺寸

- 通常比元器件焊盘≈大30%。
  - 可使用烙铁
  - 可目测检查焊点
  - 可接受具有较大定位误差的元器件
  - 增加寄生电容 – 降低有效可用频率
  - 增加焊锡桥接的可能性
  - 需要更多电路板空间
- 最低尺寸超标值：比元器件焊盘大0-5%。
  - 保持机械强度
  - 元器件和PCB
    之间的接触区域不变
  - 降低寄生电容 – 保持
    更高的可用频率
  - 减少所需电路板空间

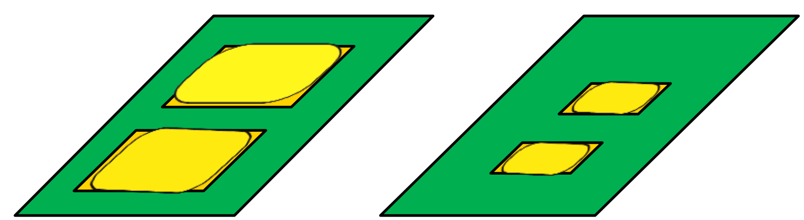
这种　　与　这种



焊盘形状

- 通常为矩形带尖角
- 圆角允许焊盘至走线间隔更
  紧密。减小电路板尺寸。

或这种

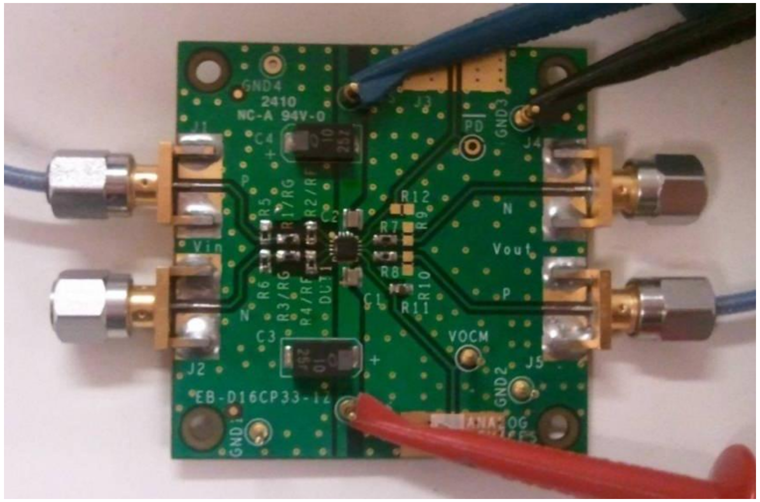


信号布线

信号布线

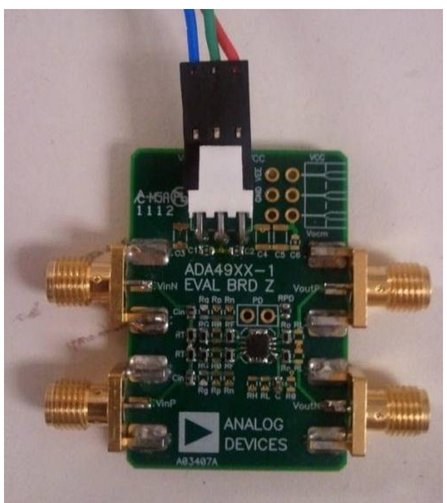
- 使用GND和PWR层
  - 使用“焊盘过孔”法将焊盘与层相连，可最大程度降低寄生效应
- 将功能模块的元器件尽可能靠近放置
  - 手动放置时，0.5 mm的器件间隔便已足够
- 最大程度减少信号走线上的过孔。越少越好。
  - 保证同一个功能模块中的走线位于同一层。
- 使用隔板电容进行旁路
- 保持相邻板层之间尽可能靠近
  - 避免不必要的过孔穿透板层。
  - 避免挖空板层
- 尽量保持走线笔直
  - 尽可能减少转向和转弯

示例



一个完美的高频电路板

- 两层FR4 PCB
- 过孔数目太多
- 大片挖空影响板层性能
- 信号走线过长
- 接合焊盘过大
- 无内部板层

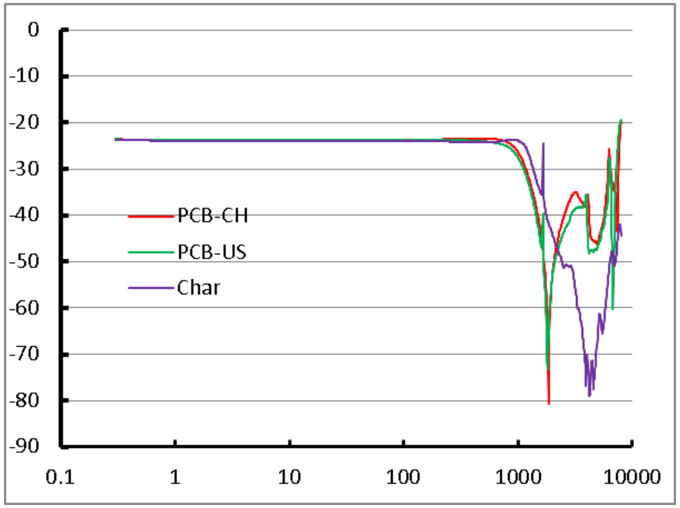


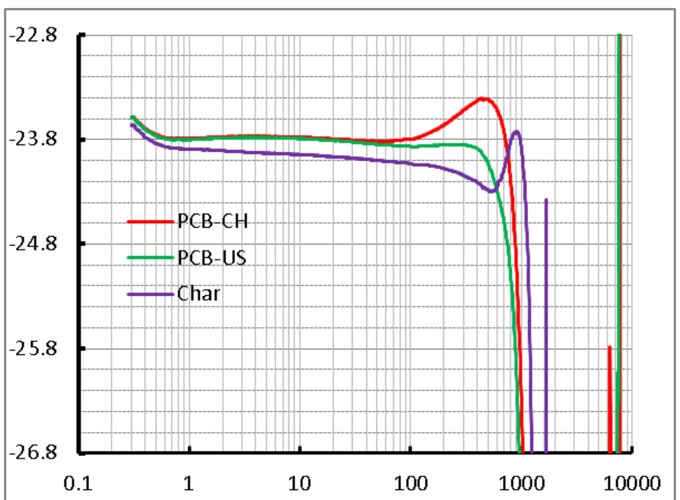
同一款电路，但添加了辅助功能机制

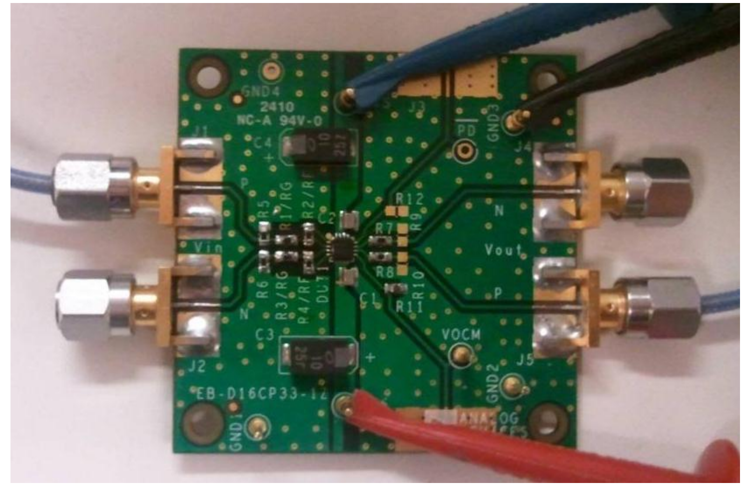
更好的选择？

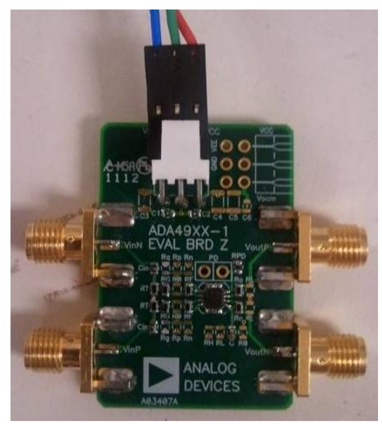
- 6层RoHS Tg170 & HR 370
- 元器件更多，但电路板尺寸更小
- 过孔数降至最低
- 数个内部板层
- “合适”尺寸的接合焊盘

示例 - 性能与PCB



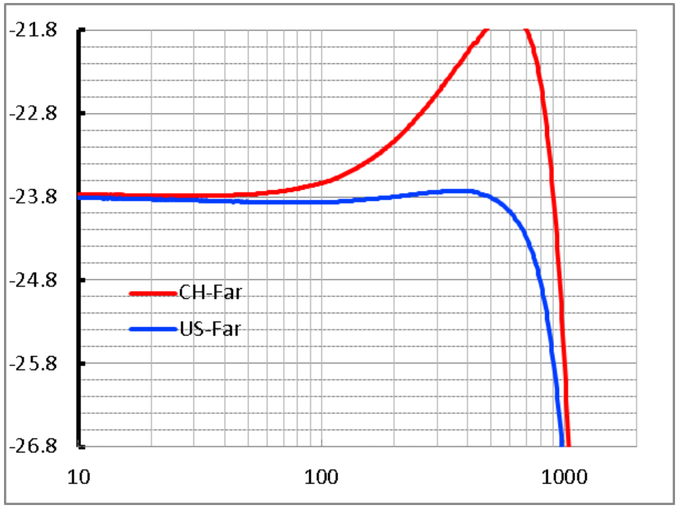


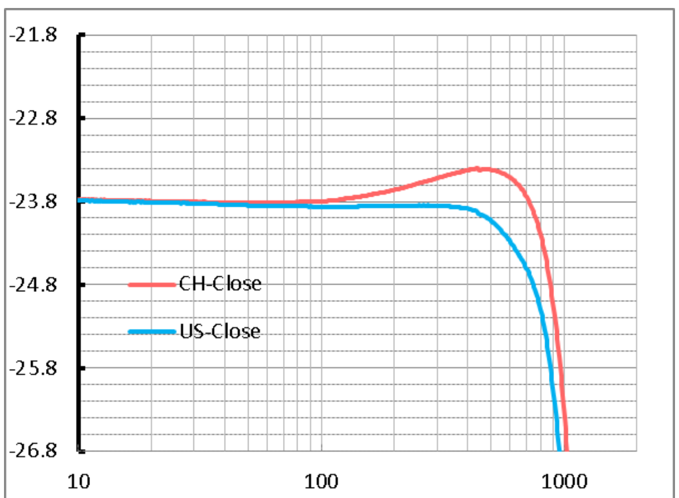


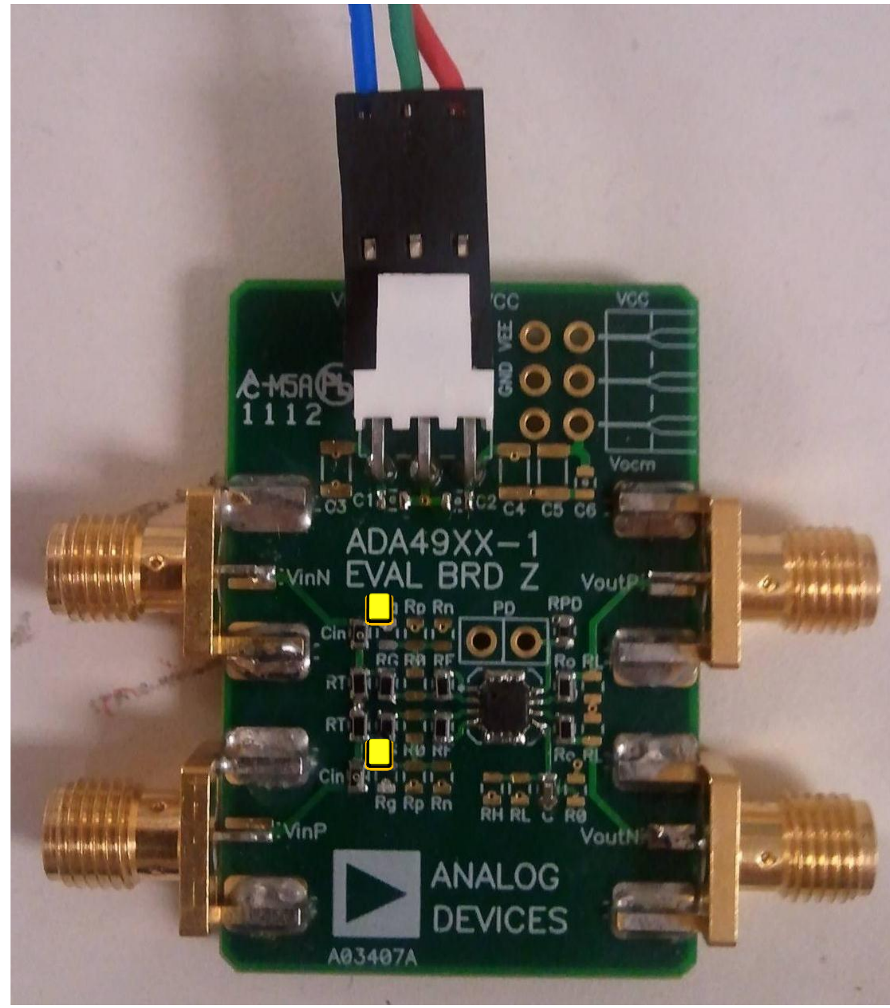


- **6层PCB**
- 无旁路电容
- 顶部无GND层
- 无挖空层
- 无“拼接”过孔

性能与元器件位置


-21.8
-22.8
-23.8
-24.8
-25.8
-26.8
10
100
1000
CH-Far
US-Far


-21.8
-22.8
-23.8
-24.8
-25.8
-26.8
10
100
1000
CH-Close
US-Close


ADA49XX-1
EVAL BRD Z
VinN
VinP
VoutN
Vocm
ANALOG
DEVICES
A03407A

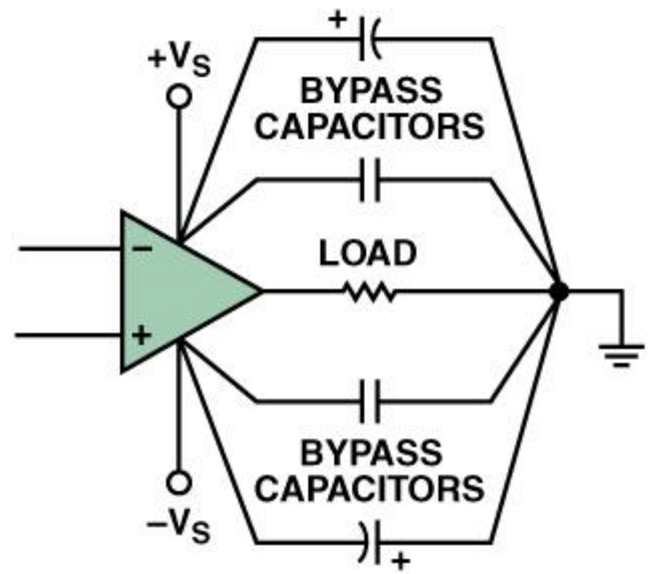
串扰和耦合

- **容性串扰或耦合**
  - 源于上下平行走线，结果形成寄生电容
  - 解决办法是垂直走线，减少走线耦合和面积
- **感性串扰**
  - 感性串扰源于长距离并行走线之间磁场的交互作用
  - 感性串扰分为两类：正向和逆向
  - 逆向串扰指离受影响走线上的驱动器最近的噪声
  - 正向串扰指离所驱线路上的驱动器最远的噪声
- **通过以下方式尽量减少串扰**
  - 增加走线间隔（改进隔离）
  - 使用防护走线
  - 使用差分信号

电源旁路

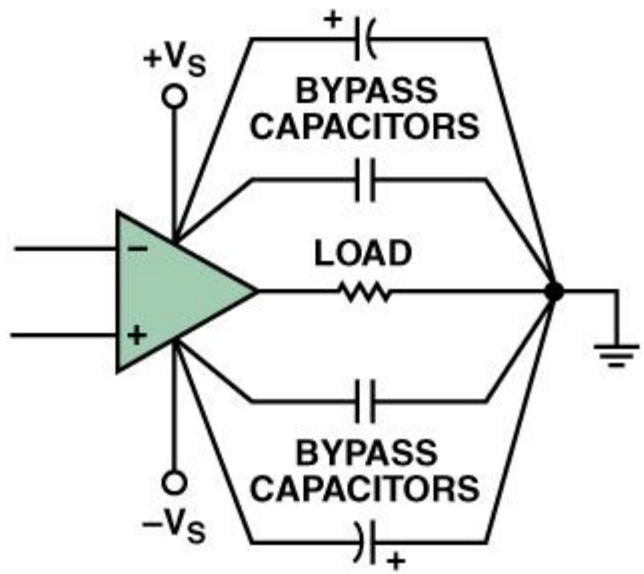
电源旁路

- 旁路是确保高速电路性能的必要手段



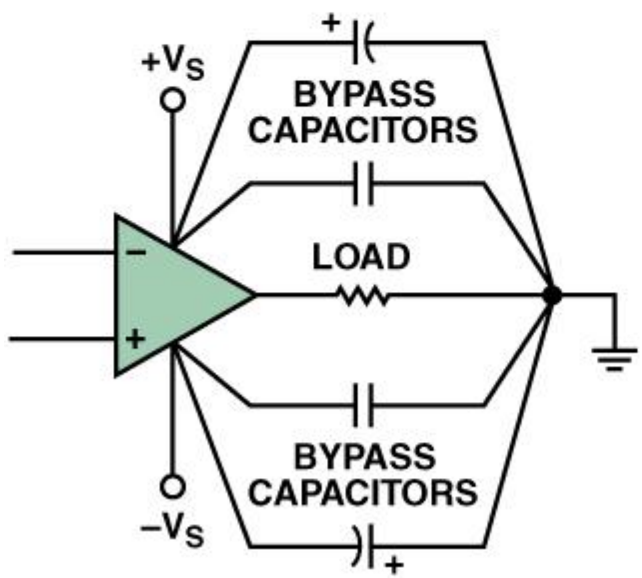
电源旁路

- 旁路是确保高速电路性能的必要手段
- 把电容置于电源引脚处



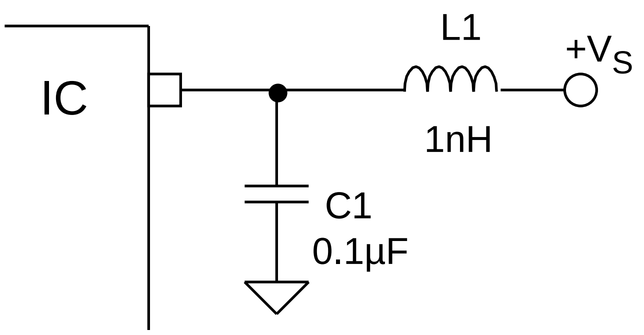
电源旁路

- 旁路是确保高速电路性能的必要手段
- 把电容置于电源引脚处
  - 电容提供低阻抗交流回路
  - 为快速上升/下降沿提供局部电荷存储空间



电源旁路

- 旁路是确保高速电路性能的必要手段
- 把电容置于电源引脚处
  - 电容提供低阻抗交流回路
  - 为快速上升/下降沿提供局部电荷存储空间
- 尽量缩短走线长度



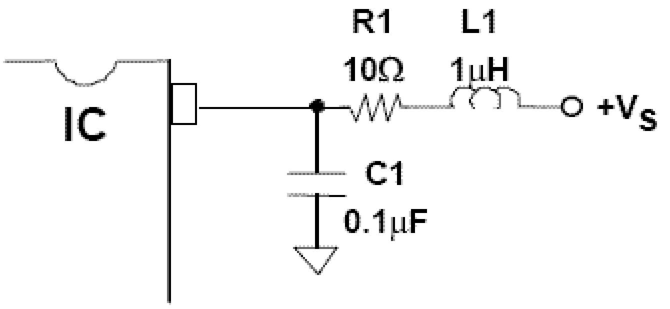
等效去耦电源线电路的谐振频率为：

$$f = \frac{1}{2\pi\sqrt{LC}}$$

$$f = 16\text{MHz}$$

电源旁路

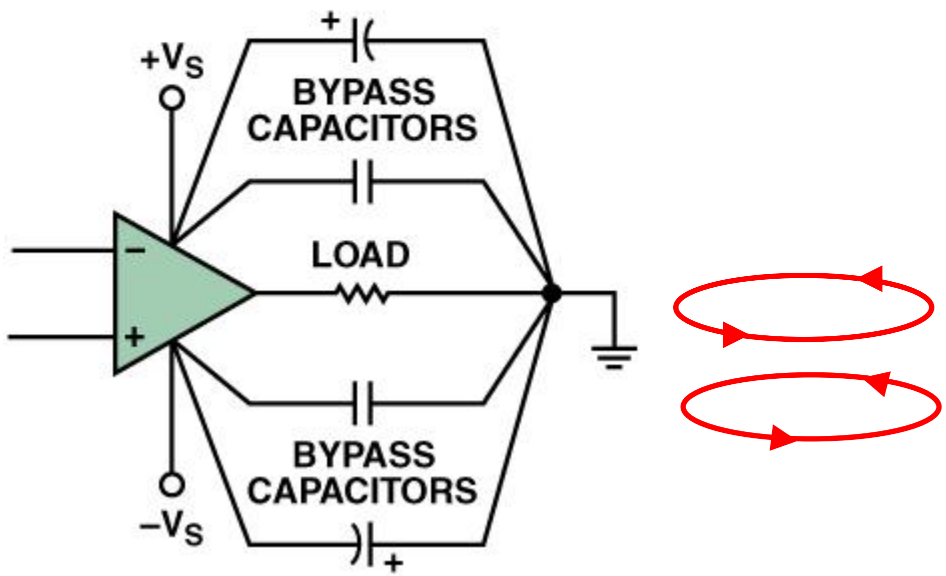
- 旁路是确保高速电路性能的必要手段
- 把电容置于电源引脚处
  - 电容提供低阻抗交流回路
  - 为快速上升/下降沿提供局部电荷存储空间
- 尽量缩短走线长度



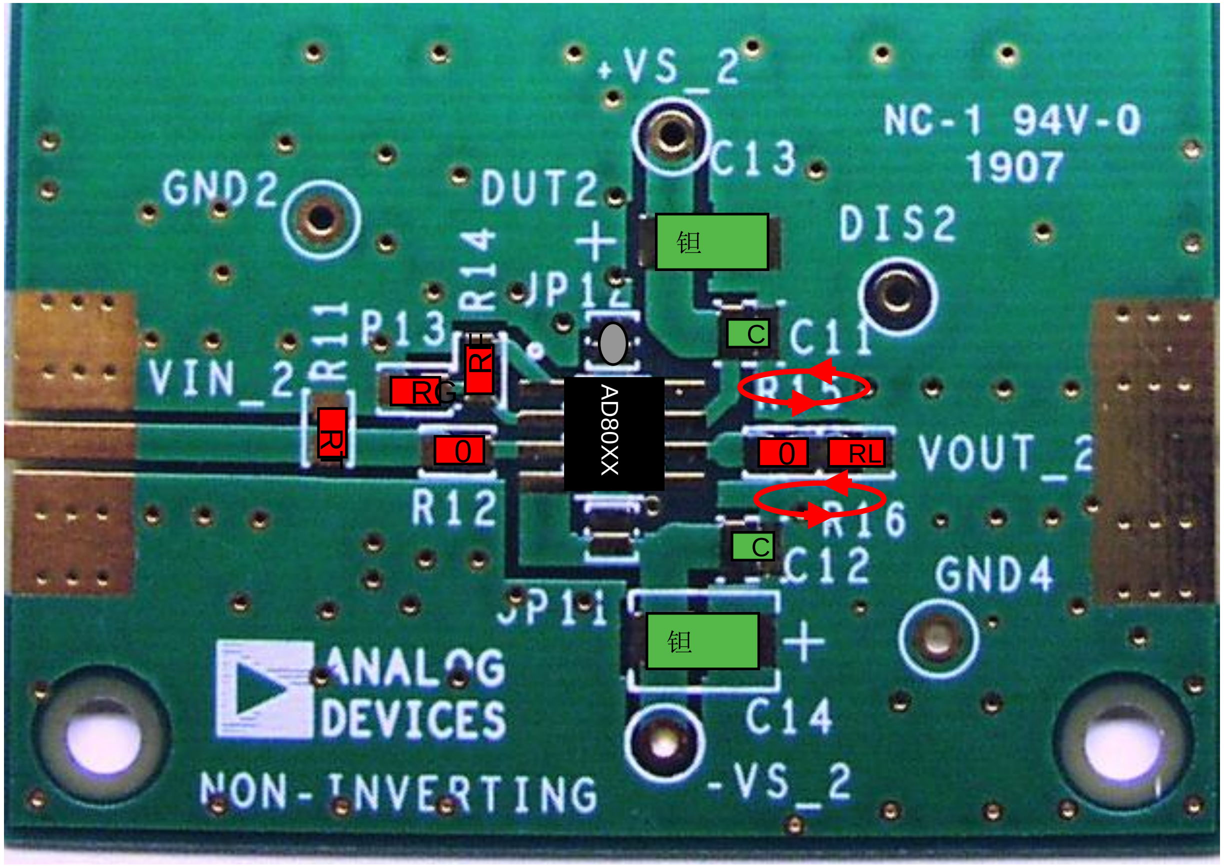
SMALL SERIES RESISTANCE
CLOSE TO IC REDUCES Q

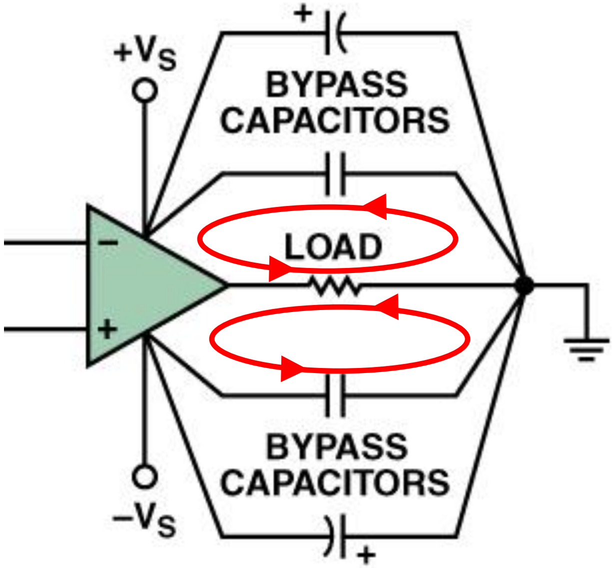
电源旁路

- 旁路是确保高速电路性能的必要手段
- 把电容置于电源引脚处
  - 电容提供低阻抗交流回路
  - 为快速上升/下降沿提供局部电荷存储空间
- 尽量缩短走线长度
- 靠近负载回路
  - 有助于减少接地层中的瞬态电流



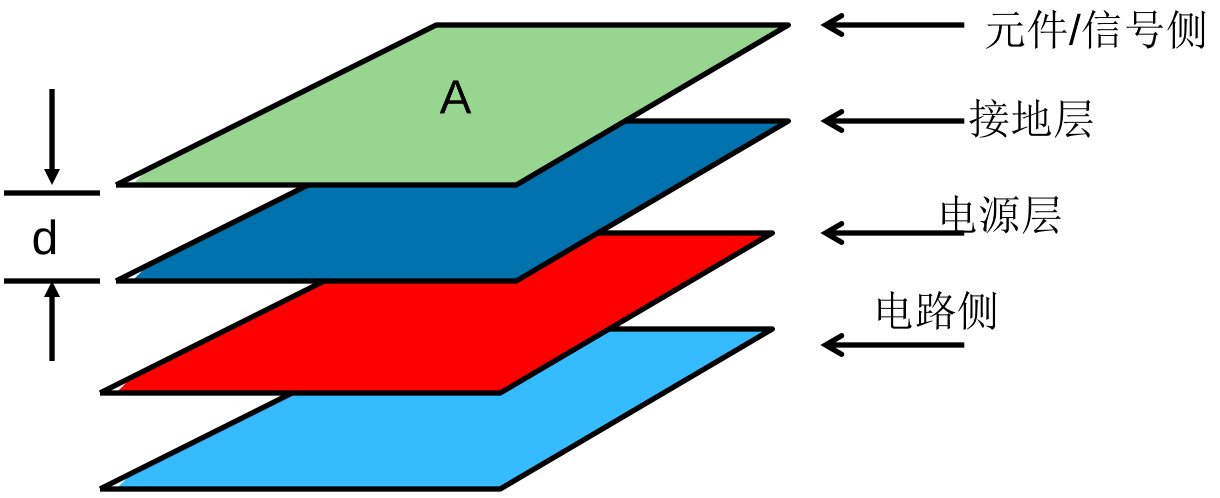
优化的负载和旁路电容放置和接地回路





电源旁路
电路板电容

4层堆叠



$$C = \frac{kA}{11.3d}$$

K = 相对介电常数
A = 面积（单位：cm^2 ）
d = 板间间距（单位：cm）

电源旁路
电源层电容

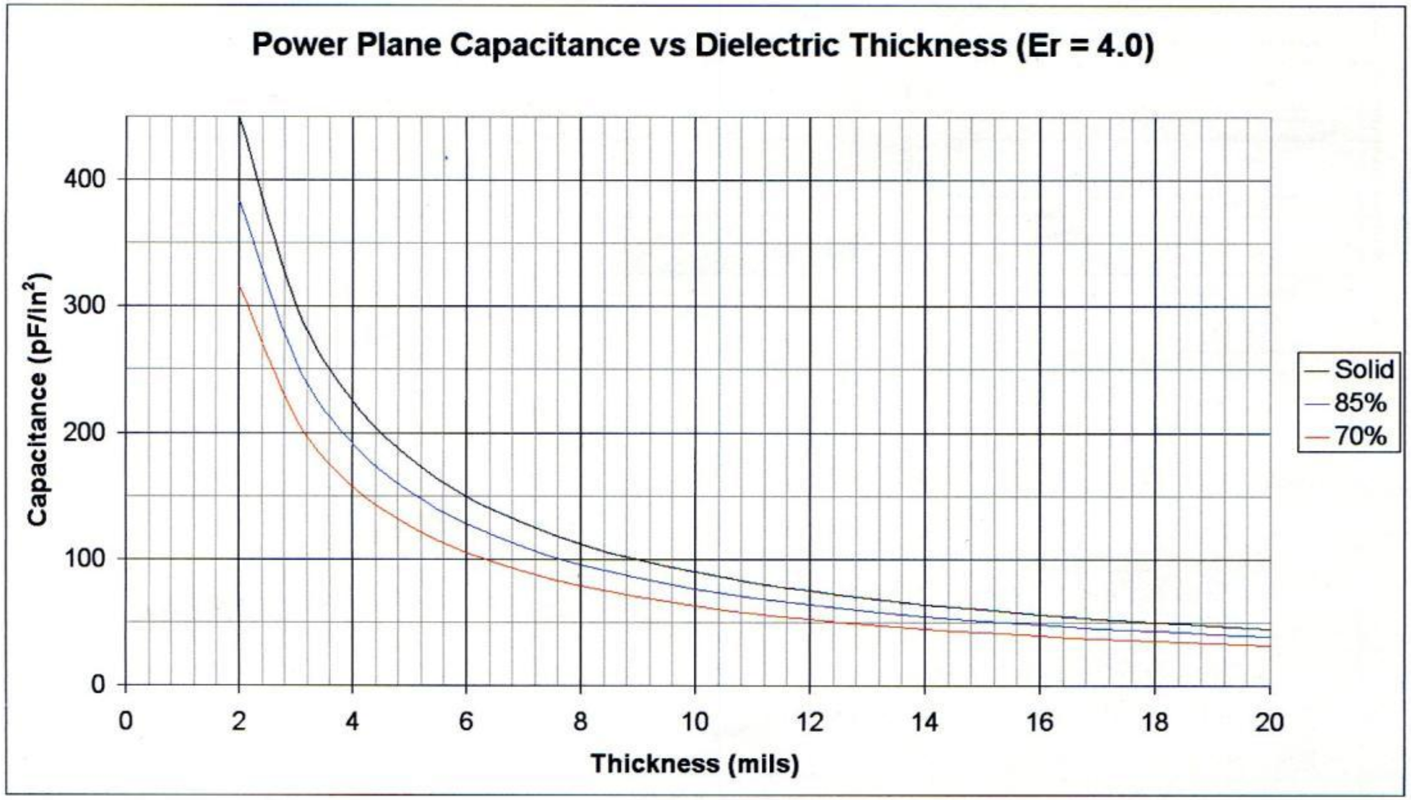


Figure 34.11. Power Plane Capacitance vs. Dielectric Thickness

*

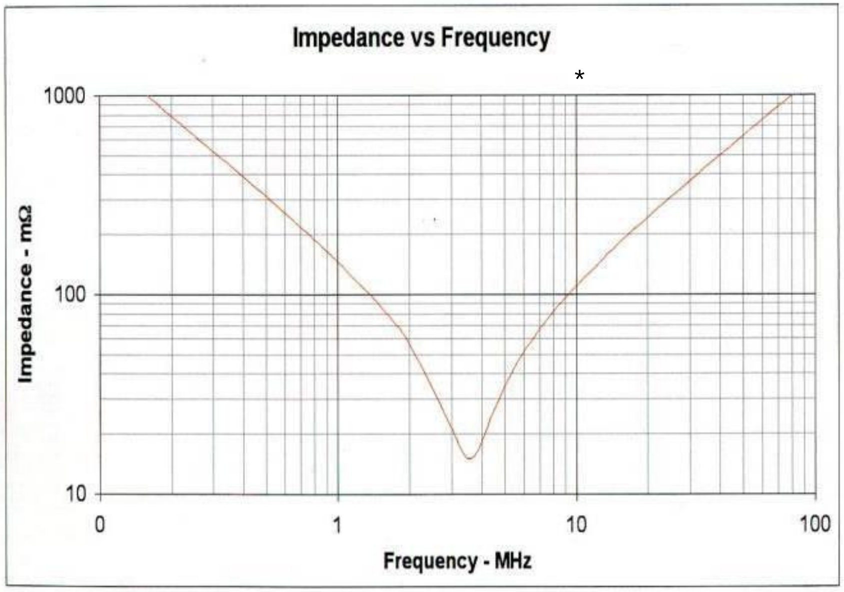
*由Lee Ritchey提供

电源旁路电容模型

- ESR（等效串联电阻）
  - Rs
- 电容
  - XC = 1/2πfC
- ESL（等效串联电感）
  - XL=2πfL
- 有效阻抗

$$Z = \sqrt{Rs^2 + (XL - XC)^2}$$

- 串联谐振时
  - XL=XC
  - Z = R



*由Lee Ritchey提供

电容选择

Type	Vendor	Vendor Part Number	Rated		Measured				
			Cap	Volts	Cap @ 1KHz	Cap @ 1MHz	ESR	ESL	F_{RES}
Tantalum Org.	Kemet	T520D337M006AS	330 uF	6.3	343uF	na	23mΩ	3.1nH	250 KHz
0603 Ceramic	AVX	0603ZG105ZAT2A	1.0 uF	10	1.13uF	650nF	20mΩ	0.7nH	6 MHz
0603 Ceramic	AVX	0603ZG105ZAT2A	0.1 uF	10	94.5nF	81nF	40mΩ	0.6nH	18 MHz
0603 Ceramic	AVX	0603ZG105ZAT2A	0.01 uF	10	9.5nF	9nF	60mΩ	0.5nH	50 MHz
0612 Ceramic	AVX	0612YC104MAT	0.1 uF	16	95.0 nF	92 nF	14mΩ	0.38nH	23 MHz
Array Ceramic	AVX	W3L1YC104MAT	0.1 uF	16	97.2nF	82nF	27mΩ	0.25nH	35 MHz

Table 34.1. Measured Characteristics for Decoupling Capacitors *

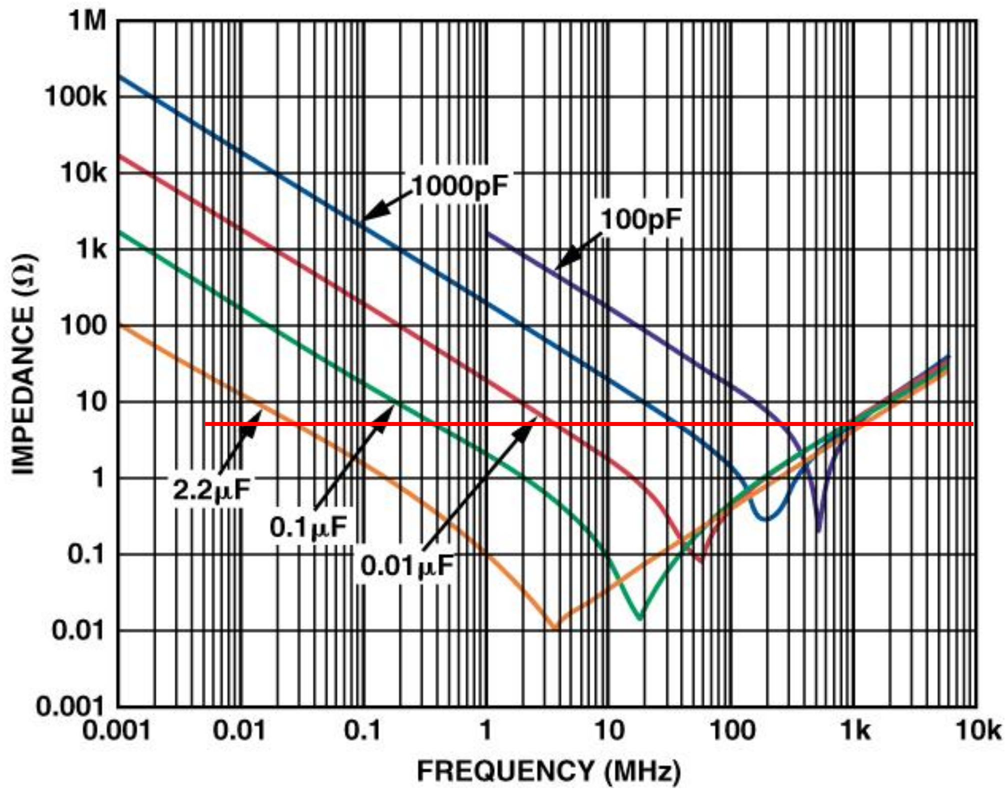
0603

0612

*由Lee Ritchey提供

电源旁路

- 旁路是确保高速电路性能的必要手段
- 把电容置于电源引脚处
  - 电容提供低阻抗交流回路
  - 为快速上升/下降沿提供局部电荷存储空间
- 尽量缩短走线长度
- 靠近负载回路
  - 有助于减少接地层中的瞬态电流
- 价值
  - 单个电路的性能
  - 使交流阻抗保持于低位
  - 多次谐振
- 铁氧体磁珠



多个并联电容

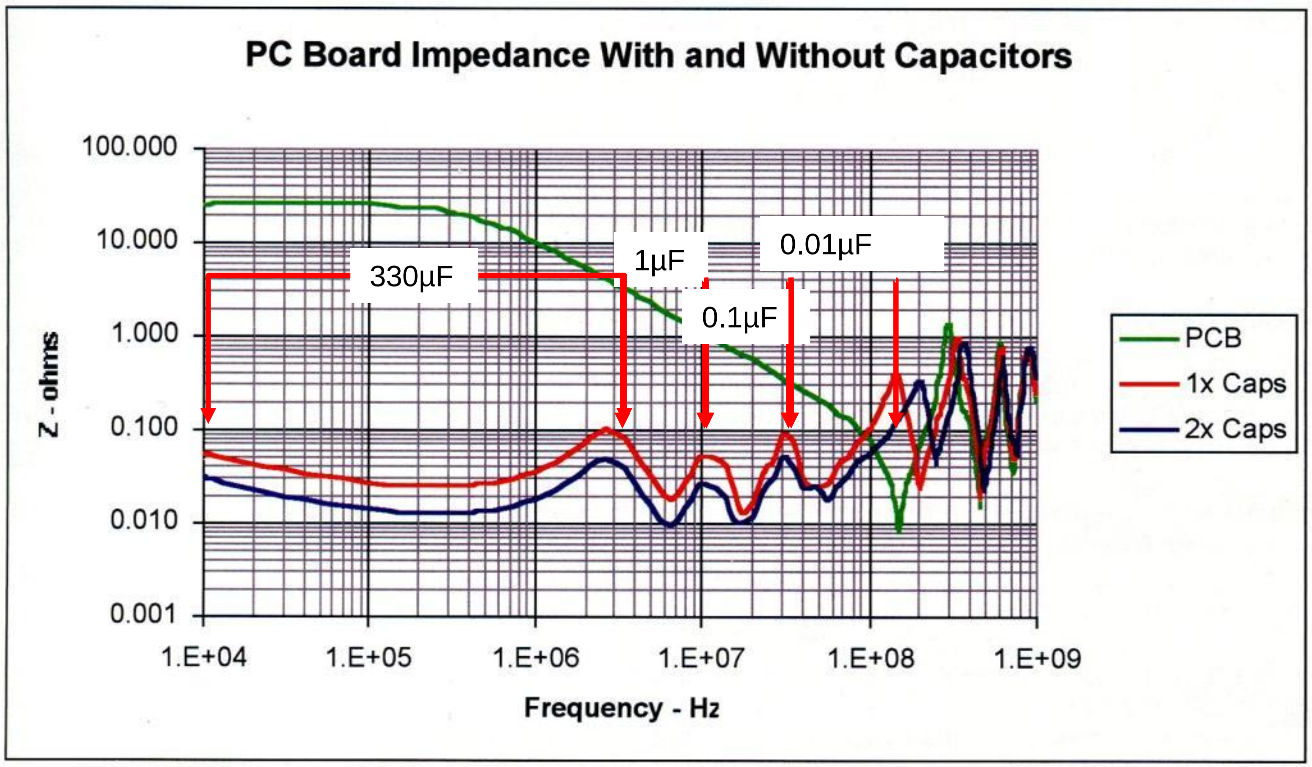


Figure 35.12. PCB Impedance With and Without Capacitors*

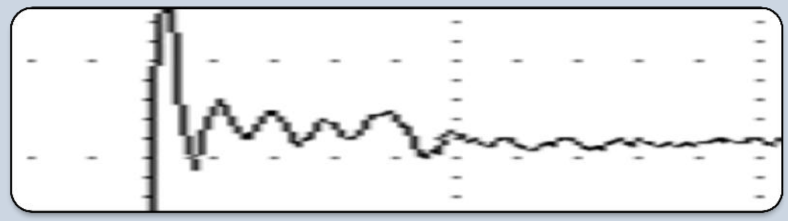
1 x 330µF T520、1 x 1.0µF 0603、2 x 0.1µF 0603和6 x 0.01µF 0603

2 x（1 x 330µF T520、1 x 1.0µF 0603、2 x 0.1µF 0603和6 x 0.01µF 0603）

*由Lee Ritchey提供

寄生效应

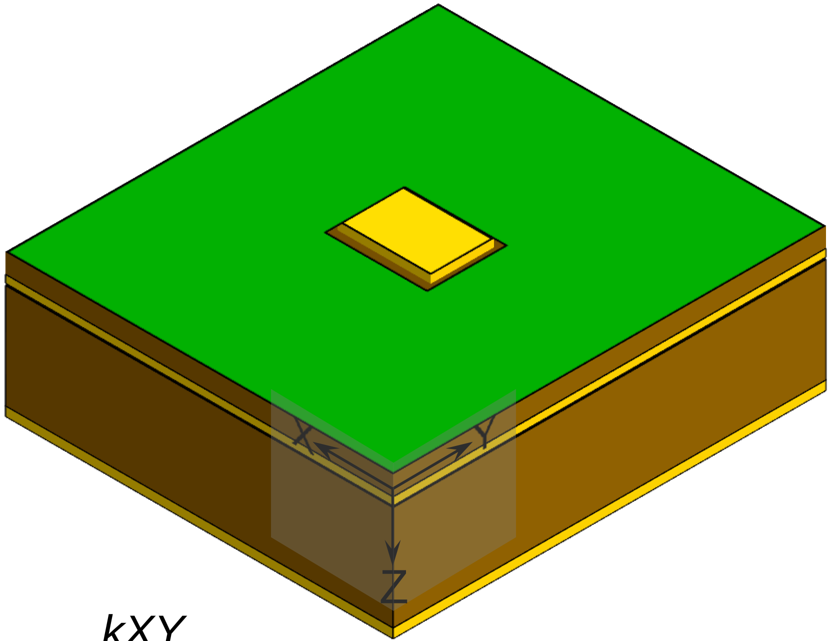
寄生效应



PCB寄生效应表现为PCB板上的隐藏电容、电感和电阻

寄生效应会导致性能下降和失真

走线/焊盘电容和电感



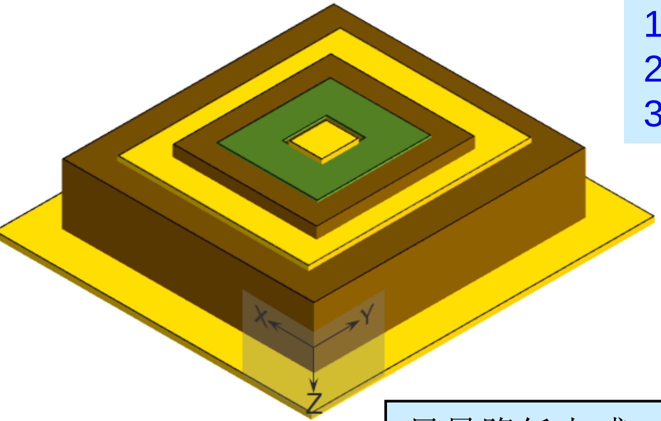
$$C=\frac{kXY}{113Z}\quad pF$$

$$L=0.2X\left(0.5+ln\left(\frac{2X}{Y+Z}\right)+.2235\left(\frac{Y+Z}{X}\right)\right)\quad nH$$

K = 相对介电常数
X = 铜片长度(mm)
Y = 铜片宽度(mm)
Z = 至最近层的距离(mm)

- **内部或底部板层**
  - 形成隔板电容，其下有电源层（未显示）。
- **间距**
  - 较长的距离可消除与其上受控阻抗层的相互影响。
- **受控阻抗层**
  - 顶部信号层的走线，与该层之间的距离形成传输线，具有特性阻抗。
- **顶部（信号）层**
  - 具有信号走线和元件接合焊盘。
  - 走线为传输线路，具有特性阻抗
- **顶部焊接屏蔽**
  - 可影响特性阻抗

走线/焊盘电容和电感



尽量降低电容
1) 增加电路板厚度
2) 缩小走线/焊盘面积
3) 移除接地层

FR4 PCB，顶部1 oz Cu，50Ω受控阻抗，10mil和0.2mm走线宽度

K= 4.7、Z=0.16mm和0.13mm

示例1：SOIC接合焊盘
X = 0.51 mm Y = 1.27mm

Z = 0.16mm：C = 0.17 pF；L=0.08 nH
Z = 0.13mm：C = 0.21 pF；L=0.08 nH

尽量降低电感
1) 使用接地层
2) 尽量缩短长度（将长度缩短一半会使电感下降44%）
3) 将宽度增加一倍只会使电感下降11%

示例2：3x3mm LFCSP接合焊盘
X = 0.3 mm Y = 0.6 mm

Z = 0.16mm：C = 0.05 pF；L=0.05 nH
Z = 0.13mm：C = 0.05 pF；L=0.05 nH

$$C = \frac{kXY}{113Z} \quad pF$$

$$L = 0.2X\left(0.5 + \ln\left(\frac{2X}{Y+Z}\right) + .2235\left(\frac{Y+Z}{X}\right)\right) \quad nH$$

K = 相对介电常数
X = 铜片长度(mm)
Y = 铜片宽度(mm)
Z = 至最近层的距离(mm)

过孔寄生效应

过孔电感

$$L = 2h\left[\ln\left(\frac{4h}{d}\right)+1\right]\ nH$$

L = 过孔电感（单位：nH）
H = 过孔长度（单位：cm）
D = 过孔直径（单位：cm）

H= 0.157 cm 厚的电路板
D= 0.041 cm

$$L = 2(0.157)\left[\ln\left(\frac{4(0.157)}{0.041}\right)+1\right]$$

L = 1.2nh

过孔电容

$$C = \frac{0.55\varepsilon_r T D_1}{D_2 - D_1}$$

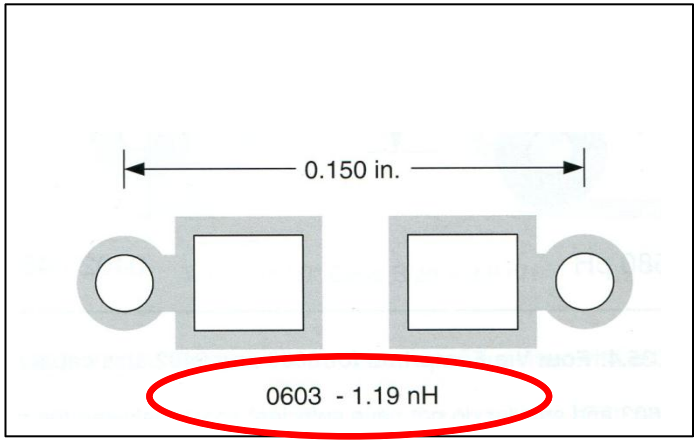
D_2 = 接地层的通孔直径（单位：cm）
D_1 = 过孔周围焊盘的直径（单位：cm）
T = 印刷电路板的厚度（单位：cm）
ε = 电路板材料的相对导电率
C = 寄生过孔电容（单位：pF）

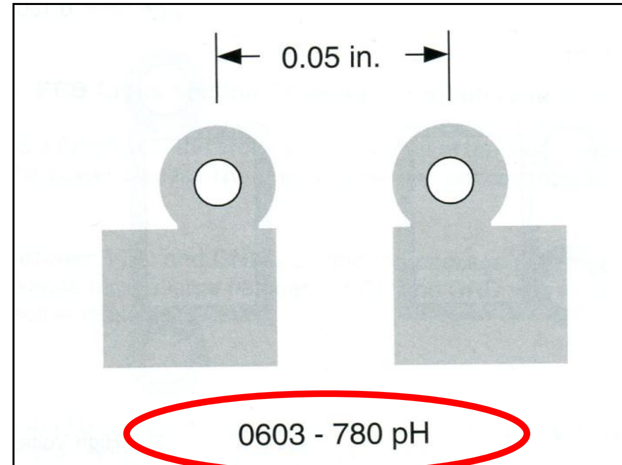
T = 0.157cm,
D_1=0.071cm
D_2 = 0.127

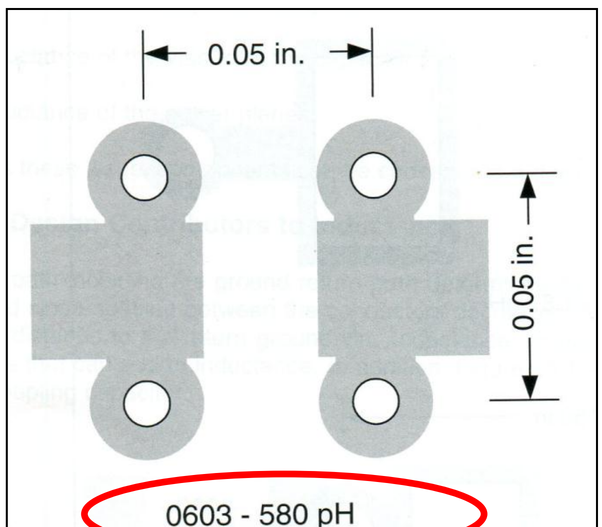
C = 0.51pf

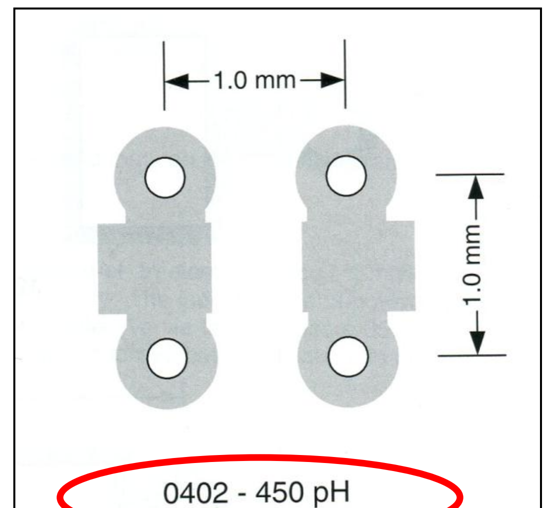
过孔放置*

- **0603 和0402**



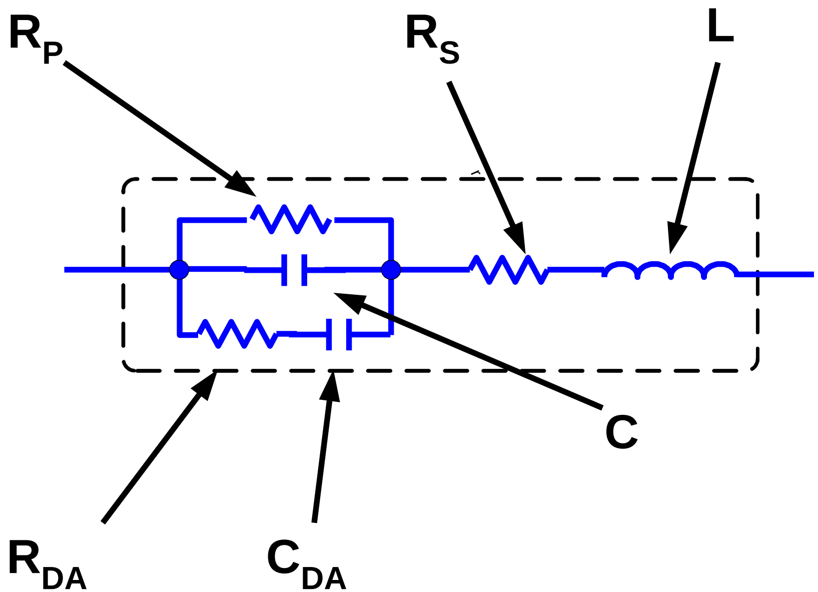






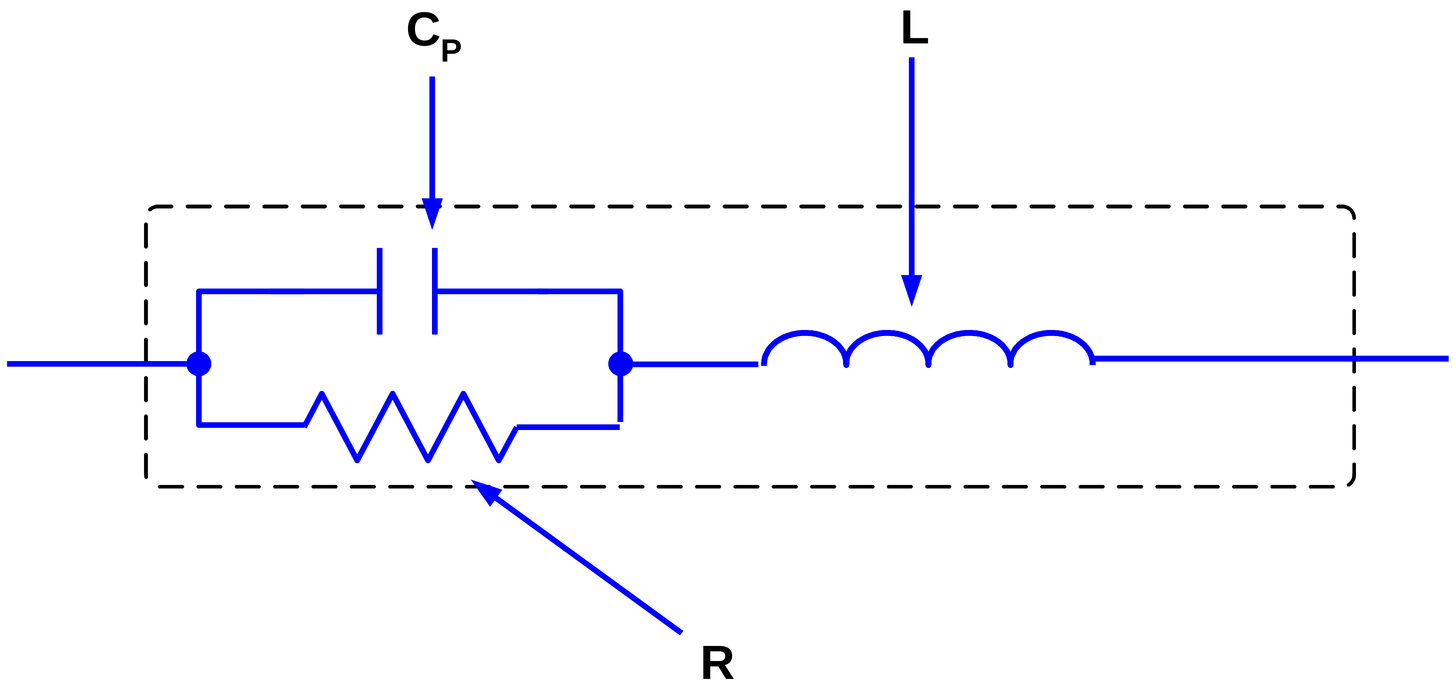
*由Lee Ritchey提供

电容寄生模型



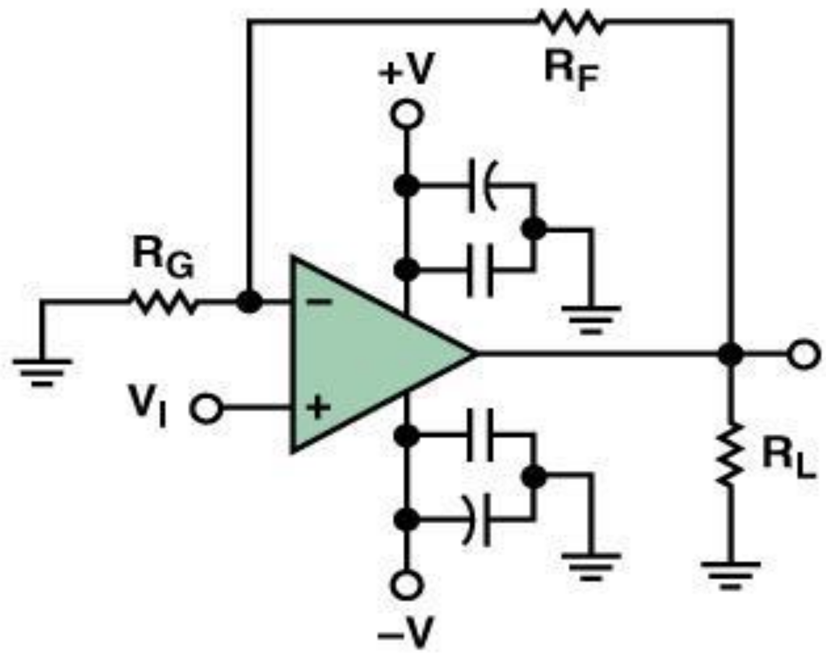
- C = 电容
- R_P = 绝缘电阻
- R_S = 等效串联电阻(ESR)
- L = 引脚和层板的电感
- R_{DA} = 电介质吸收
- C_{DA} = 电介质吸收

电阻寄生模型

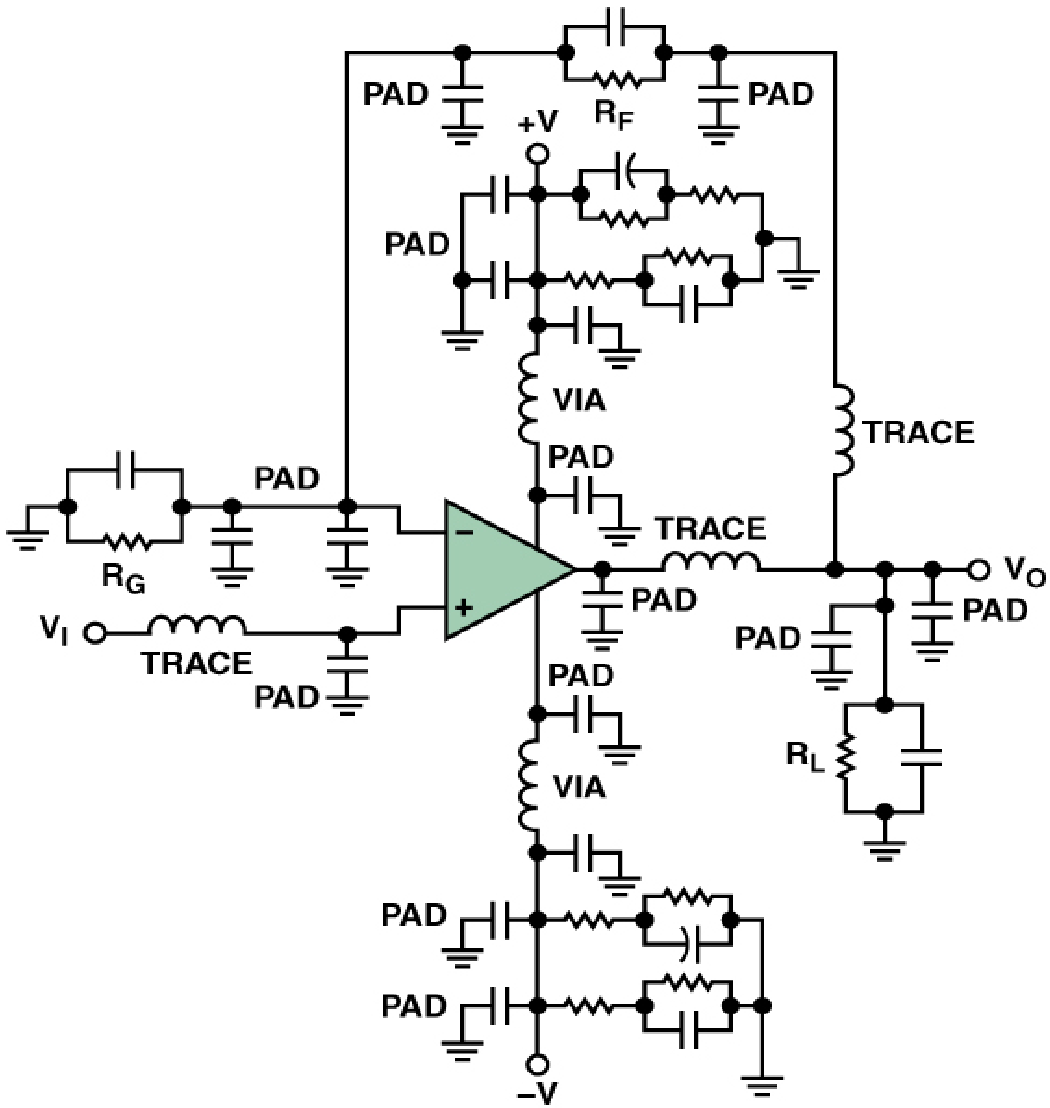


- R = 电阻
- C_P = 并联电容
- L= 等效串联电感(ESL)

低频运算放大器原理图

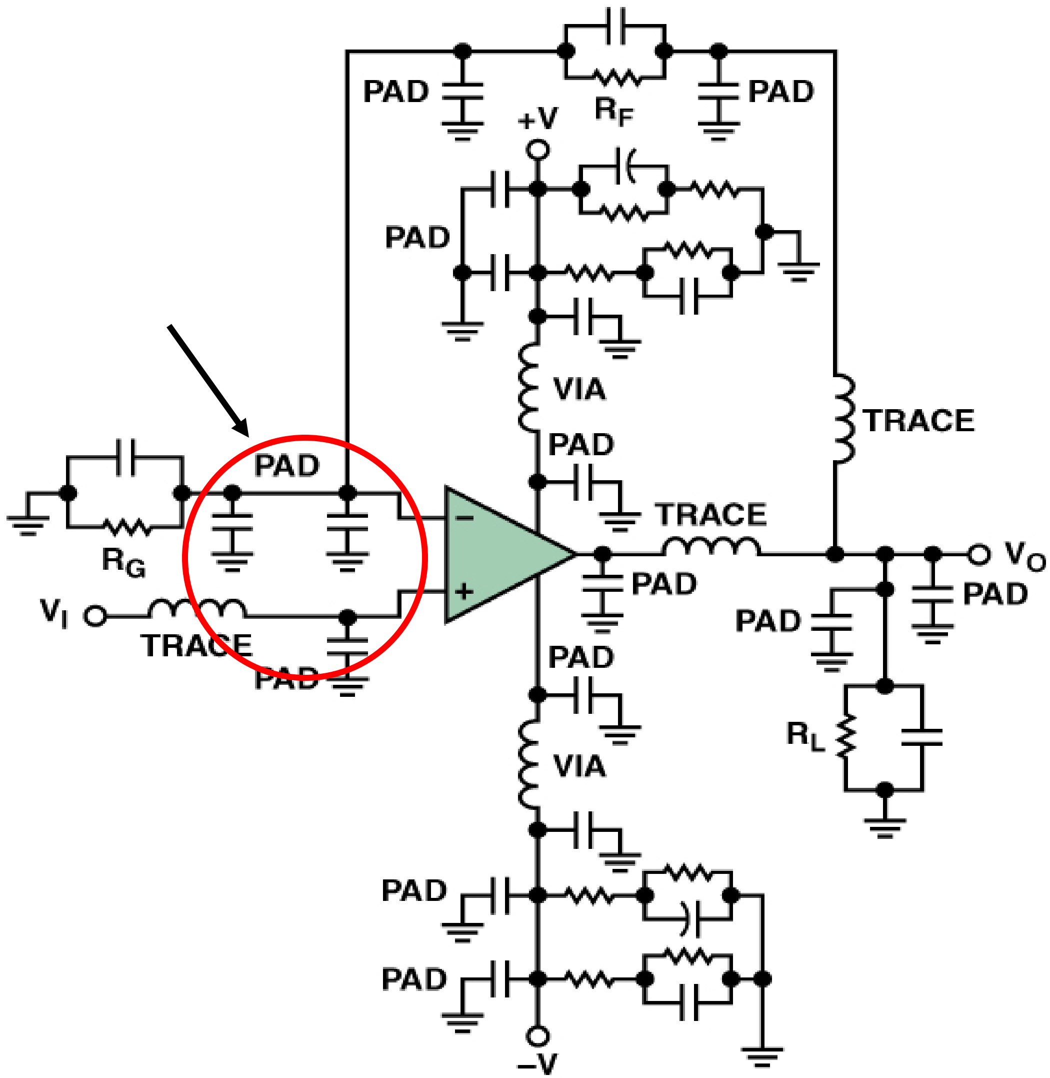


高速运算放大器原理图

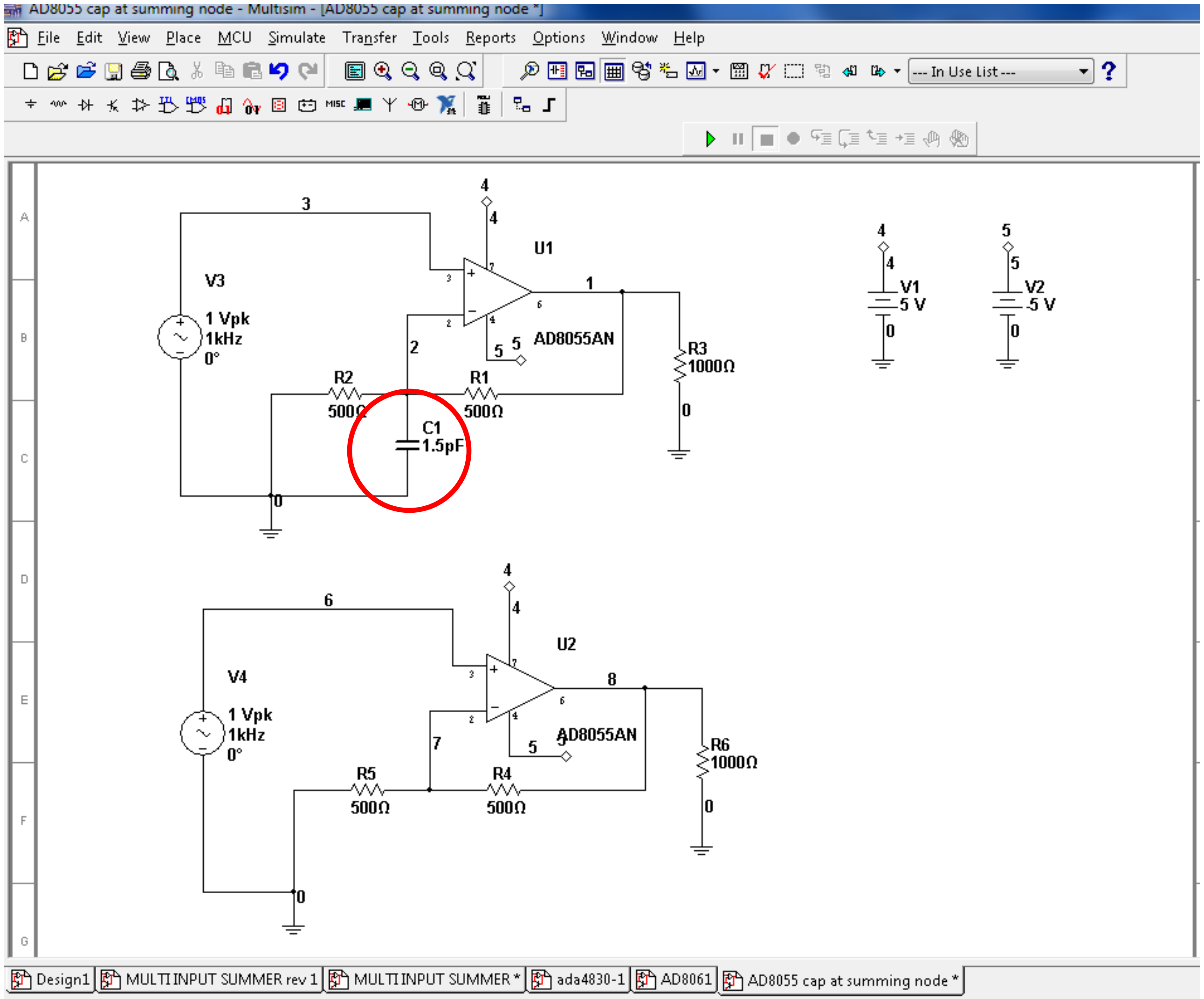

PAD
PAD
+V
R_F
PAD
VIA
TRACE
PAD
PAD
TRACE
R_G
V_I
TRACE
PAD
PAD
PAD
V_O
PAD
PAD
R_L
VIA
PAD
PAD
–V

高频运算放大器原理图

杂散电容

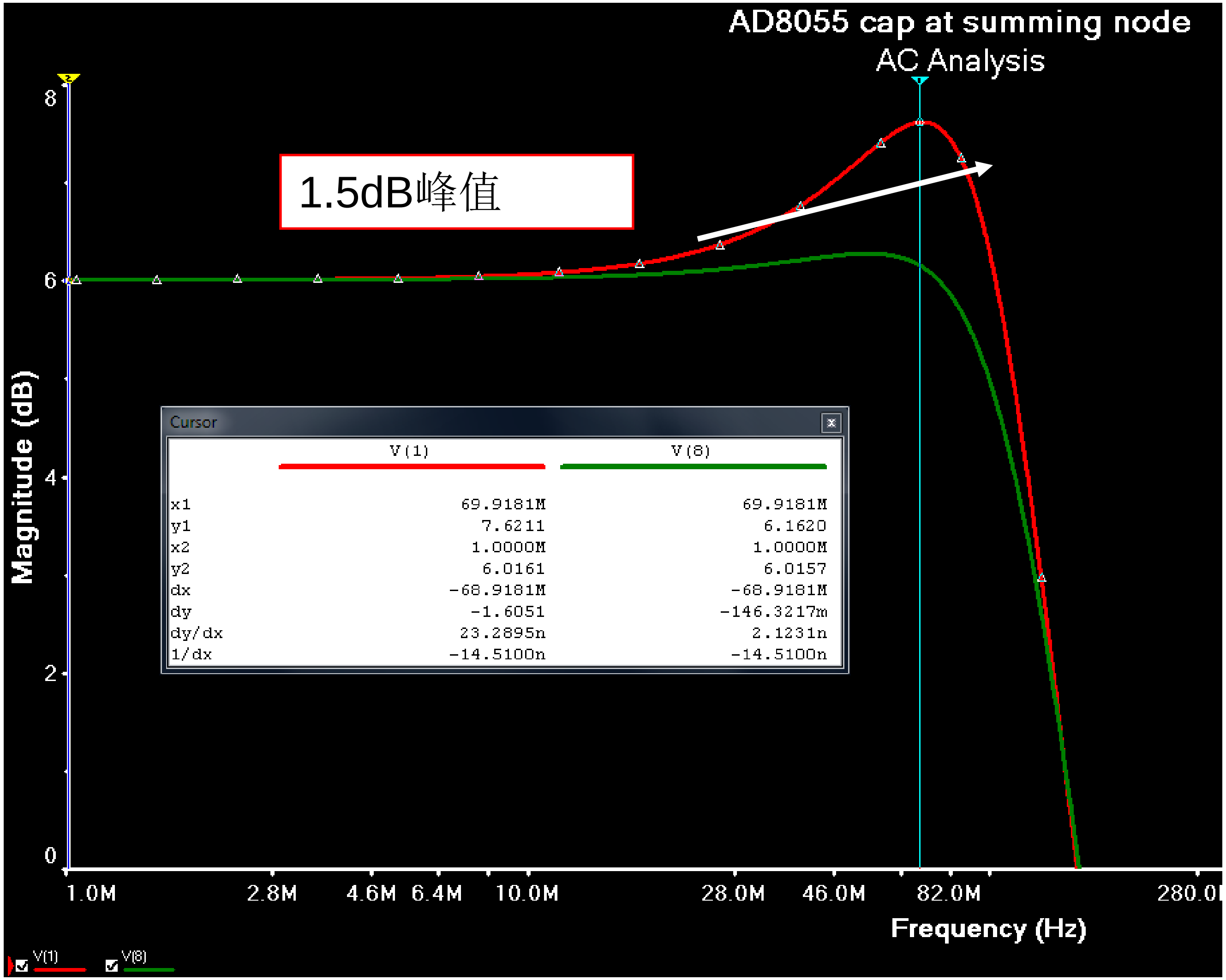


寄生电容仿真原理图



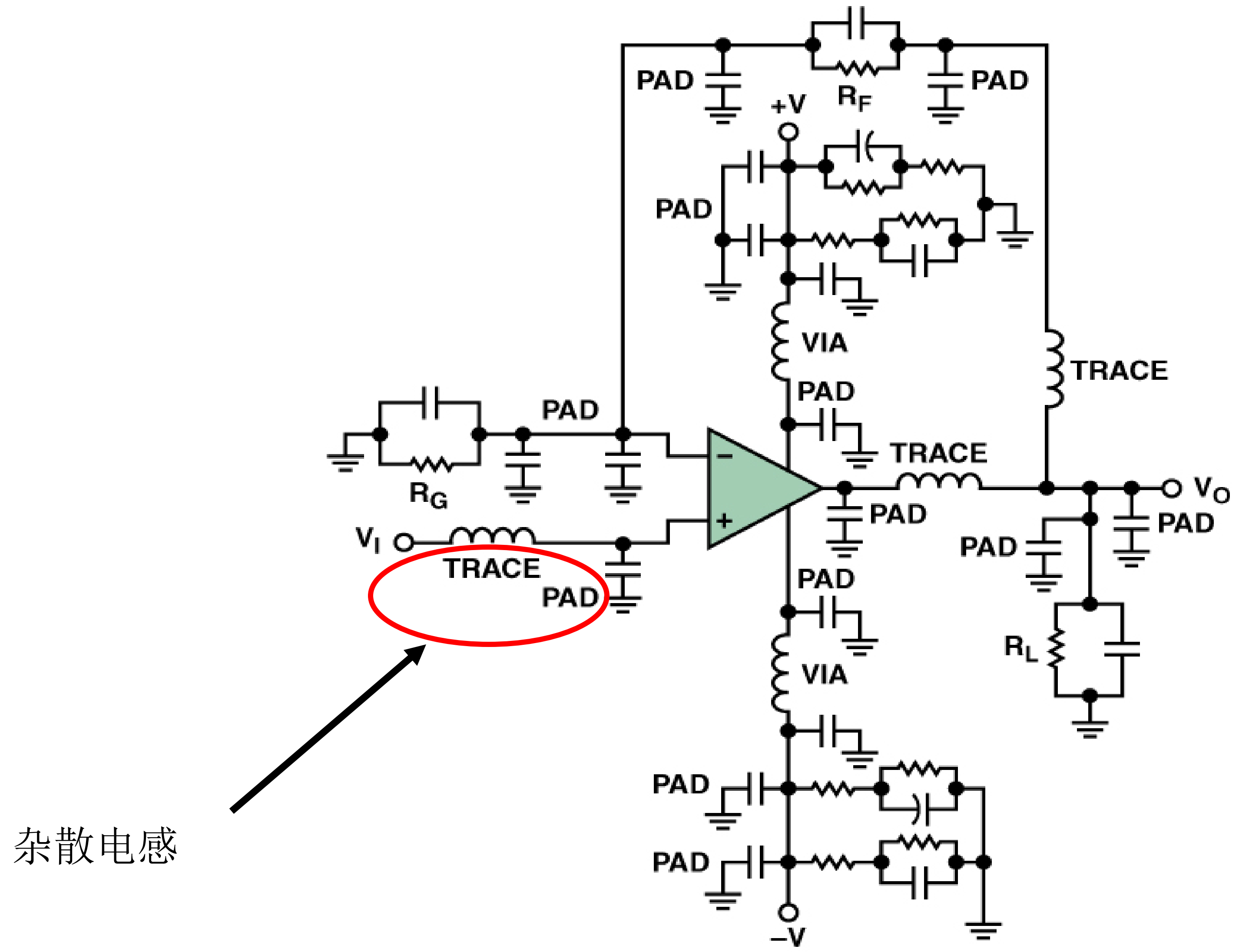
AD8055 cap at summing node - Multisim - [AD8055 cap at summing node *]
File Edit View Place MCU Simulate Transfer Tools Reports Options Window Help
--- In Use List ---
V3
1 Vpk
1kHz
0°
U1
AD8055AN
R2
500Ω
R1
500Ω
C1
1.5pF
R3
1000Ω
V1
5 V
V2
-5 V
V4
1 Vpk
1kHz
0°
U2
AD8055AN
R5
500Ω
R4
500Ω
R6
1000Ω
Design1
MULTIINPUT SUMMER rev 1
MULTIINPUT SUMMER *
ada4830-1
AD8061
AD8055 cap at summing node *

寄生电容为1.5pF时的频率响应

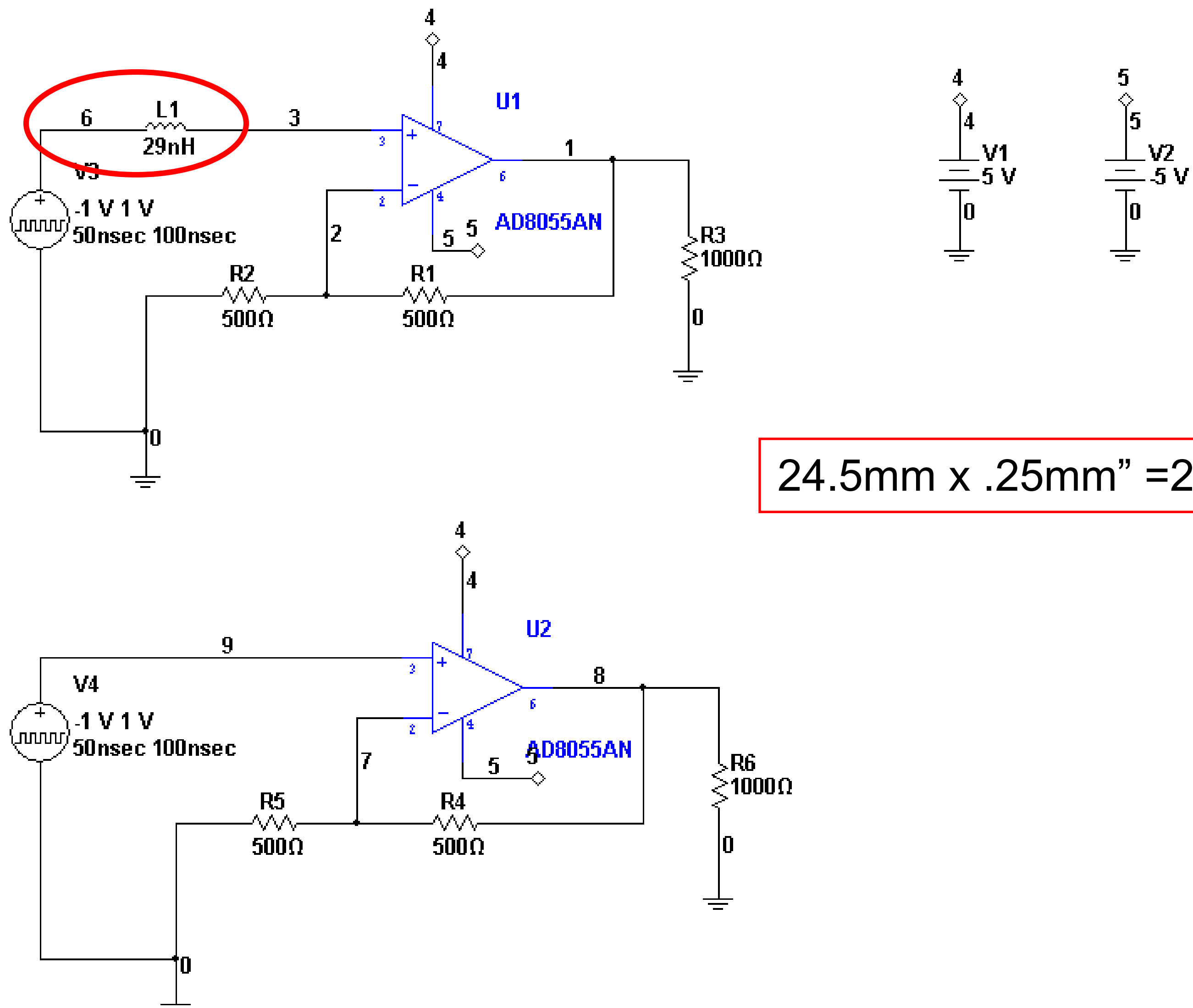


- 反相输入端 1pF附加寄生电容
- **1.5dB尖脉冲**
- 不稳定，振荡

寄生电感


PAD
PAD
+V
R_F
PAD
VIA
TRACE
PAD
PAD
TRACE
R_G
PAD
V_O
PAD
V_I
PAD
TRACE
PAD
PAD
PAD
R_L
VIA
PAD
PAD
–V
杂散电感

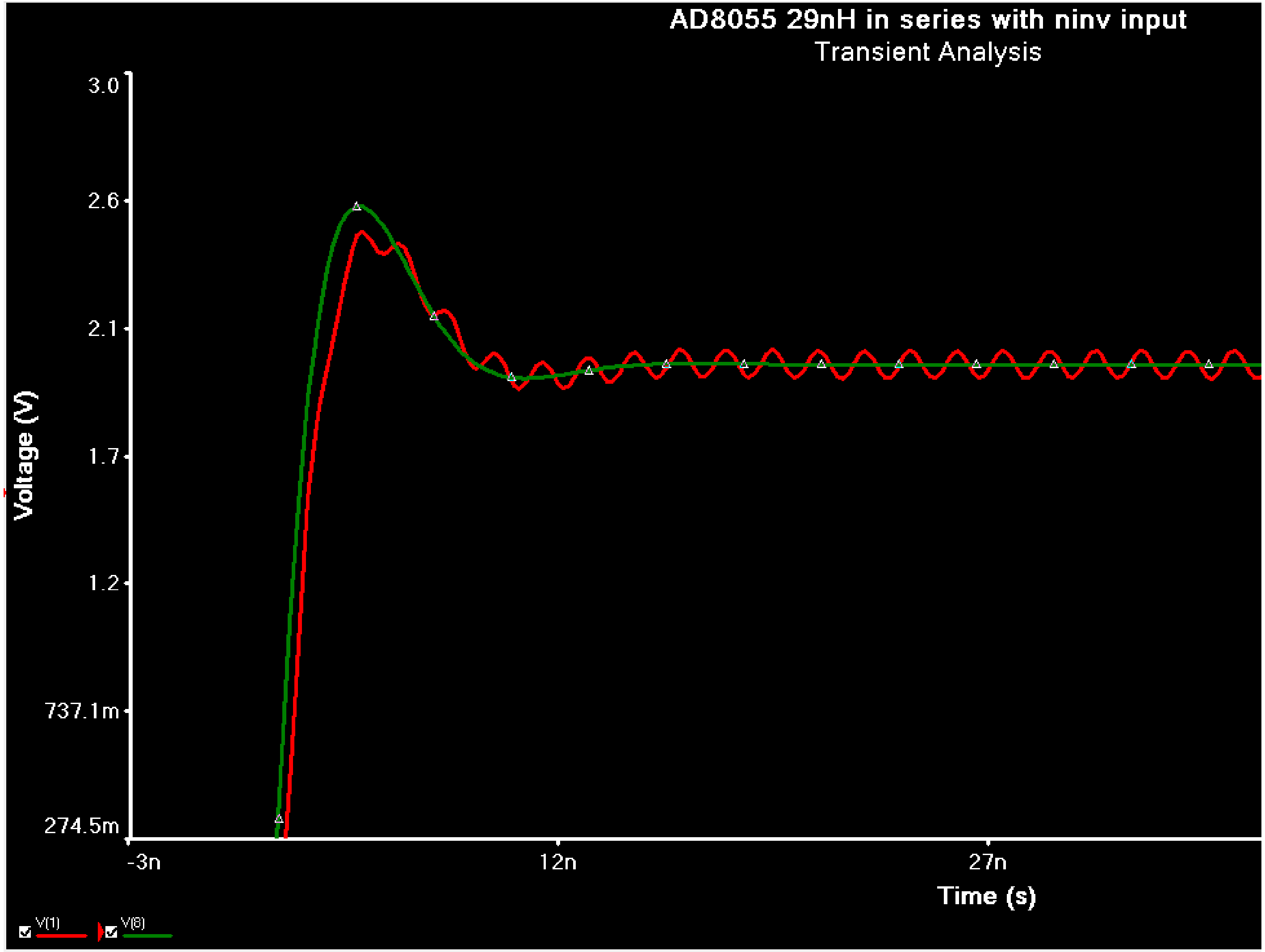
寄生电感仿真原理图



24.5mm x .25mm” =29nH

ANALOG DEVICES

有接地平面和没有接地平面两种情况下的脉冲响应



- 振荡显示了高速运算放大器同相输入端长度为2.54cm的走线的影响。
- 其等效电感约为29nH，足以造成持续的低压振荡，

接地层和电源层

接地层和电源层提供

- 共同参考点
- 屏蔽
- 降低噪声
- 减少寄生效应
- 散热
- 功率分布
- 高值电容

有关接地层和电源层的建议

- 不存在**100%**有效的单一接地方法！
- 各**PCB**板必须至少有一层专用于接地层！
- 尽量增加接地层，尤其是在高工作频率的走线下方
- 尽量使用可行的厚金属（降低电阻、增进散热）
- 使用多个过孔将相同的接地层连在一起
- 开始设计布局时，为模拟和数字接地层设置专用层，仅在必要时分离
- 遵循混合信号器件数据手册提出的建议。
- 使旁路电容和负载回路尽量靠近，以降低失真
- 为模拟和数字接地层的连接提供跳线选项

内容回顾

- 高速**PCB**的设计需要深思熟虑、注重细节！
- 在原理图上提供尽量多的信息
- 元件在电路板上的位置就像整个电路的定位一样重要
- 设计电路板布局时要有预见性，切勿听天由命
- 在电源旁路中使用多个电容
- 必须考虑并处理好寄生效应
- 接地层和电源层在降低噪声、减少寄生效应方面发挥着关键作用
- 新型封装和引脚排列有利于改善性能、提高布局的紧凑性
- 信号分布有多种方式可供选择，切记选择适用的方式
- 检查布局时千万要仔细

电磁兼容性(EMC)

- **EMC有两个方面：**
  - 它表示电子系统保持正常工作且不干扰其它系统的能力
  - 它还表示此类系统在额定电磁环境中按预期工作的能力
- **主要的规范为IEC-60050和IEC1000**
- **详细信息，可参考ADI网站上的指南MT-095和模拟对话30-4 (www.analog.com)**
- **不符合这些要求将会影响设备性能**
- **不符合这些要求将严重限制设备出售给客户的能力**

DISCUSS. DESIGN. DELIVER.

ADI设计峰会 2013

谢谢！

ADI中国地区技术支持热线：4006 100 006

ADI中国地区技术支持信箱：china.support@analog.com

ADI中文技术论坛：ezchina.analog.com

ADI样片申请网址：http://www.analog.com/zh/sample

XILINX ALL PROGRAMMABLE MathWorks ANALOG DEVICES