



## Sigma-Delta ADC 常见问题解答

编写	CAC(XS)
时间	2013/07/07
版本	V2.0

### 声明

Analog Devices 公司拥有本文档及本文档中描述内容的完整知识产权 (IP)。Analog Devices 公司有权在不通知读者的情况下更改本文档中的任何描述。如果读者需要任何技术帮助, 请通过 [china.support@analog.com](mailto:china.support@analog.com) 或免费热线电话 4006-100-006 联系亚洲技术支持中心团队。其他技术支持资料以及相关活动请访问以下技术支持中心网页 [http://www.analog.com/zh/content/ADI\\_CIC\\_index/fca.html](http://www.analog.com/zh/content/ADI_CIC_index/fca.html)

Analog Devices, Inc.

## 版本历史

版本	日期	作者	描述
1.0	2008/7/7		文档建立
2.0	2013/7/7	CAC(XS)	增加 3.13 节 增加 AD7176-2, AD7173-8, AD776X 增加最新设计工具 更改免费样片申请流程 更改超级链接地址

## 目录

版本历史 .....	II
目录 .....	III
第 1 章 简介 .....	4
1.1 产品简介 .....	4
1.2 参考资料 .....	5
第 2 章 原理简介 .....	7
2.1 原理 .....	7
2.2 $\Sigma$ - $\Delta$ 结构的 A/D 转换器有哪些优缺点? .....	8
2.3 模拟前端的传统解决方案是什么, $\Sigma$ - $\Delta$ 结构是如何克服这些缺点的? .....	8
第 3 章 常见应用问题解答 .....	10
3.1 峰峰值噪声与有效噪声的区别, 峰峰值分辨率与有效分辨率的区别? 无失码分辨率又是指的什么? .....	10
3.2 为什么转换结果的后几位总在跳, 是不是正常? .....	11
3.3 在使用多通道 SIGMA-DELTA ADC 时, 通道切换的速度很慢? .....	11
3.3.1 如果使能 AD719X 的通道切换序列发生器并且工作在连续读取模式下, 那么其事件顺序将是怎样的? .....	12
3.4 什么情况下要使用内部的 BUFFER? .....	13
3.5 怎样使用 50/60Hz 抗工频干扰功能? .....	13
3.6 我的信号是双极性的信号, 能不能直接输入到单电源供电的 ADC? .....	13
3.7 什么是 CHOP 模式, 它有什么作用? .....	14
3.8 什么是单端信号, 什么是全差分, 什么是伪差分? .....	14
3.9 ADI 的 SIGMA-DELTA ADC 的输出码的格式是什么? .....	15
3.10 怎样选择 SIGMA-DELTA ADC 的参考源? .....	15
3.11 用串口配置芯片让其转换, 但是 /DRDY 一直为高, 芯片不转换? .....	16
3.12 为什么 SPI 口在正常工作了一段时间后就被锁住了, /DRDY 一直为高, 读出的值也都全为 1? .....	16
3.13 什么情况下做自校准, 什么情况下做系统校准? .....	17
3.13.1 带校准功能的 sigma-delta 型 ADC 在什么情况下需要重新校准? .....	17
3.13.2 Sigma-Delta 的失调寄存器和满量程寄存器可以手动的进行读写操作吗? .....	18
3.14 在 PCB 布局布线时, 应注意些什么? .....	18
3.15 是否能够提供评估板和例子程序? .....	18
3.16 是否能够申请免费样片? .....	19
3.17 多通道 Sigma-Delta ADC 产品 .....	19

## 第1章 简介

### 1.1 产品简介

ADI 拥有一系列种类齐全的高分辨率低带宽的 Sigma-Delta ADC 产品，这些产品不仅集成了 ADC，还集成了电流源、多路开关、可编程增益放大器 PGA，模拟输入缓冲等等。下面是这些产品的基本分类：

#### 分辨率

16 位: AD7706, AD7707, AD7708, AD7709, AD7715, AD7788, AD7790, AD7792, AD7798

24 位: AD7710, AD7711, AD7711A, AD7712, AD7713, AD7714, AD7718, AD7719, AD7730, AD7730L, AD7731, AD7732, AD7734, AD7738, AD7739, AD7760, AD7762, AD7763, AD7764, AD7765, AD7782, AD7783, AD7787, AD7789, AD7791, AD7793, AD7794, AD7799, AD7176-2, AD7173-8, AD7195, AD7194, AD7193, AD7192, AD7191, AD7780, AD7190

#### 多通道

高数据输出速率: AD7731, AD7734, AD7738, AD7739, AD7176-2

低数据输出速率: AD7708, AD7714, AD7718, AD7794, AD719X

#### 温度测量

对于二极管和 RTD 测温，需要 ADC 内部有电流源

热电耦: AD7719, AD7792/AD7793, AD7794

二极管: AD7709

RTD: AD7711, AD7719, AD7783, AD7792/AD7793, AD7794

#### 压力测量

压力测量需要非常小的差分模拟输入范围，较高的参考输入范围以进行比例测量，有时还需要辅助 ADC 通道进行温度补偿。

AD7710, AD7714, AD7719, AD7730, AD7798/AD7799

#### 电子秤

AD7714, AD7719, AD7730, AD7730L, AD7798/AD7799, AD719X, AD7176-2, AD7173-8

#### 低功耗

AD7705/AD7706, AD7714, AD7715, AD7719, AD7787, AD7788/AD7789, AD7790/AD7791, AD7792/AD7793, AD7794, AD7798/AD7799

### 高输入模拟输入电压范围(+/-10V)

AD7707, AD7712, AD7713, AD7732, AD7734

### 集成片上模拟前端缓冲

AD7708/AD7718, AD7709, AD7719, AD7782, AD7783,

AD7787, AD7790/AD7791, AD719X

### 双极性输入(+/-2.5V)

AD7710, AD7711, AD7712

### 管脚配置 ADC

AD7782, AD7783, AD7191

### 带内部参考源 ADC

AD7792, AD7793, AD7794,

### 带隔离的 Sigma-Delta 调制器

AD7400, AD7401, ADE7912, ADE7913

### 高速 Sigma-Delta ADC

AD7760, AD7762, AD7763, AD7176-2, AD7173-8

## 1.2 参考资料

[AN-665: Channel Switching Using  \$\Sigma\$ - \$\Delta\$  ADCs](#) (pdf, 86,886 bytes)

This application note refers to the AD7708 and AD7718. Data sheets specify the update rate for  $\Sigma$ - $\Delta$  ADCs.

[AN-664: AD7732/AD7734/AD7738/AD7739 in Low Power Applications](#) (pdf, 134,537 bytes)

This application note refers only to the AD7739, but is also generally applicable to the AD7732, AD7734 and AD7738. The purpose of this application note is to explain how to optimize the use of these parts in power sensitive applications.

[AN-663: AD7732/AD7734/AD7738/AD7739 Calibration Registers](#) (pdf, 99,226 bytes)

This application note concentrates on the AD7739 but is also applicable to the AD7732, AD7734, and AD7738. The purpose of this application note is to explore the calibration registers in more detail than is found on the data sheets.

[AN-626: Using the AD7732/AD7734/AD7738/AD7739 Checksum Register](#) (pdf, 108,708 bytes)

[AN-616: AD9430 Evaluation Board Modifications for XTAL Oscillator Clocking](#) (pdf, 166,131 bytes)

[AN-615: Peak-to-Peak Resolution Versus Effective Resolution](#) (pdf, 71,761 bytes)

This application note describes effective resolution and peak-to-peak resolution and highlights the difference between these two specifications.

[AN-614: Using the AD7782 in Low Power Applications](#) (pdf, 95,638 bytes)

... This application note describes how to use the AD7782 in portable or low power applications.

[AN-611: 50 Hz/60Hz Rejection on Sigma-Delta ADCs](#) (pdf, 368,982 bytes)

Rejection of 50 Hz and 60 Hz interference is a requirement in many industrial settings. This Application Note outlines how the AD7708/AD7718, AD7709, AD7719, AD7782/AD7783 Sigma-Delta ADCs are used for optimal rejection of these frequencies.

[AN-610: The PGA on Sigma-Delta ADCs](#) (pdf, 283,693 bytes)

The AD7708/AD7718, AD7709, AD7719, AD7782/AD7783 high resolution Sigma-Delta ADCs all feature a Programmable Gain Amplifier (PGA) at the input to the Sigma-Delta modulator. This Application Note discusses the use and benefits of this PGA.

[AN-609: Chopping on Sigma-Delta ADCs](#) (pdf, 238,471 bytes)

Chopping is a technique that can be used to cancel offset voltages and other low frequency errors. This Application Note outlines how chopping is implemented on the AD7708/AD7718, AD7709, AD7719, AD7782/AD7783 high resolution Sigma-Delta ADCs and discusses the resulting benefits it brings.

[AN-608: Input Buffers on Sigma-Delta ADCs](#) (pdf, 290,902 bytes)

The AD7708/AD7718, AD7709, AD7719, AD7782/AD7783 high resolution Sigma-Delta ADCs feature a high impedance buffer at the input to the ADC. This application note discusses the significant benefits and various system design considerations that result from the integration of on-chip buffers.

[AN-607: Selecting a Low Bandwidth  \$\Sigma\$ - \$\Delta\$  ADC](#) (pdf, 58,362 bytes)

[AN-389: Using Sigma-Delta Converters-Part 2](#) (pdf, 604,532 bytes)

When to Use/How to Use Sigma-Delta ADCs; Continuation of Part 1 Discussion.

[AN-388: Using Sigma-Delta Converters-Part 1](#) (pdf, 604,216 bytes)

When to Use/How to Use Sigma-Delta ADCs

[AN-368: Evaluation Board for the AD7701/AD7703 Sigma-Delta ADCs](#) (pdf, 519,962 bytes)

[AN-366: Evaluation Board for the AD7711 24-Bit Sigma-Delta ADC](#) (pdf, 465,894 bytes)

[AN-241: Evaluation Board for the AD7710 High Resolution \(24-Bits\) Sigma-Delta A/D Converter](#) (pdf, 493,088 bytes)

[AN-283: Sigma-Delta ADCs and DACs](#) (pdf, 1,740,324 bytes)

Overview of Sigma-Delta Concepts: Oversampling, Noise Shaping Using the Sigma-Delta Modulator, Digital Filtering and Decimation.

[AN-406: Using the AD771X Family of 24-Bit Sigma-Delta A/D Converters](#) (pdf, 192,017 bytes)

[AN-553: Adjusting the Calibration Coefficients on the AD771X Family of ADCs](#) (pdf, 226,528 bytes)

[A Reference Design for High-Performance, Low-Cost Weigh Scales](#)

by Colm Slattery and Mariah Nie, Analog Devices, Inc. (Analog Dialogue, Vol. 39, December 2005)

## 第2章 原理简介

### 2.1 原理

Sigma-Delta 转换技术是目前高分辨率应用中非常通用的一项技术。Sigma-Delta 转换器中最重要的组成部分有两个，即 Sigma-Delta 调制器和数字滤波器，如下图所示。

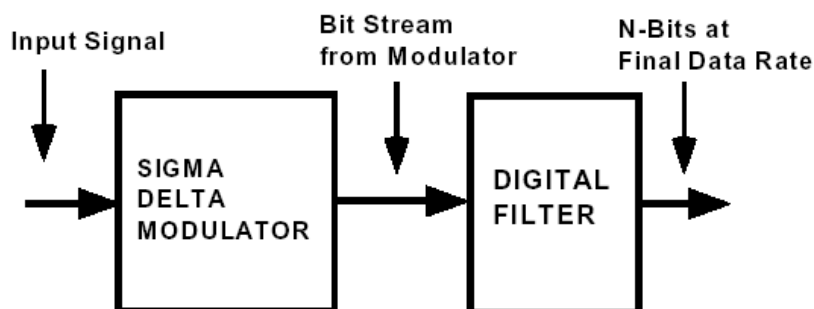


图 2-1 Sigma-Delta ADC 结构

Sigma-Delta 调制器对模拟输入以大大高于耐奎斯特采样率的速度对模拟输入信号进行过采样，它的输出是一位的比特流，比特流中“1”的密度对应着模拟输入的大小。数字滤波器对比特流进行滤波进而得到非常高的转换分辨率。图 2-2 是一个一阶 Sigma-Delta 调制器的示意图。

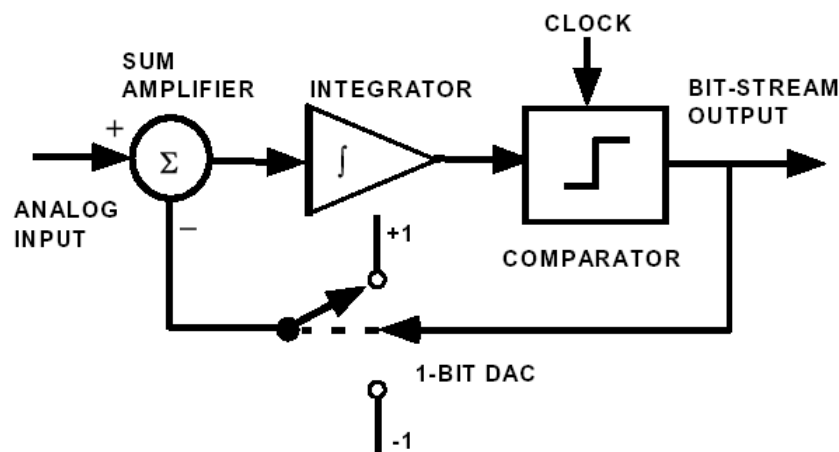


图 2-2 一阶 Sigma-Delta 调制器

在 ADI 的 Sigma-Delta 产品系列中使用的是二阶的调制器和三阶的 SINC3 数字滤波器的组合。这样的组合比一阶调制器要具有很多优势。二阶的调制器具有更好的噪声成形特性，这样就可以把量化噪声进一步推出到有用带宽之外。SINC3 滤波器的响应与均值滤波器相似，但是具有更窄的过渡带。SINC3 滤波器提供线性相位响应，它的 -3dB 带宽在  $(0.262 \times \text{第一个陷波的频率})$ 。数字滤波器的输出速率对应于第一个陷波的频率。其余陷波

频率处于第一个陷波频率的整数倍的地方。例如，如果第一个陷波频率为 10Hz，那么在 50Hz 和 60Hz 处都会有超过 100dB 的抑制。滤波器的建立时间与数据输出速率直接相关。

对于 Sigma-Delta ADC，它具有非常高的分辨率，而且噪声很低。因为它采用了过采样的技术，因此对于前端的抗混叠滤波器的要求也大大降低，一般一个简单的 RC 低通滤波器就足够了。这类 ADC 的线性度也非常好。但是它付出的代价是采样速率的降低。一般这类 ADC 的采样速率都相对较低。另外，由于内部滤波器对于模拟信号的突变和通道的切换需要相对长的建立时间，而且输出的数据与模拟输入之间有比较长的延时，所以这类 ADC 适用于那些模拟信号近似于直流或变化很慢的应用，如温度测量、压力测量等等。

对于 AD776X 系列的 Sigma-Delta ADC 来说，融合了宽输入带宽、高速特性与  $\Sigma$ - $\Delta$  转换技术的优势，2.5MSPS 时信噪比可达 100 dB，因此非常适合高速数据以及交流信号的采集应用。

## 2.2 $\Sigma$ - $\Delta$ 结构的 A/D 转换器有哪些优缺点？

$\Sigma$ - $\Delta$ 结构的 A/D 转换器在具有高分辨的同时，必须要克服的问题是转换速度。硬件上  $\Sigma$ - $\Delta$ 结构通过远大于采样信号带宽的率来过采样信号，这种过采样技术大大增加了数字电路的复杂度。因为这种技术限制， $\Sigma$ - $\Delta$ 结构的转换器一直以来都用在高分辨率，低频信号中。现在也多用在话筒，音频，以及多媒体应用中（100KHz-1MHz）

数字滤波器的阶数导致了 A/D 转换器在第一个采样时钟发生时与第一个有效数据的输出有一个较长的延时，同理，A/D 转换的结果与其相应的采样时刻有一个滞后。这就降低了在多路采样中，有效数据的输出率。因为每当进行通道转换的时候，都需要多个时钟来建立数字滤波器。

$\Sigma$ - $\Delta$ 结构的 A/D 转换器不需要外部的采样-保持电路，这是由于较高的采样率以及调制器内部的模数转换器的精度并不高（设备内具有自我采样和跟踪特性）。这种结构的 A/D 对前端的抗混叠滤波器的性能要求大大降低，大部分情况下，一阶的 RC 滤波器就能消除 A/D 采样后的混叠频率。相比之下，那些没有应用过采样技术，而又要求高精度采样的应用中，前端的滤波器的设计就非常的复杂，难以设计，而且增加额外的开销。

## 2.3 模拟前端的传统解决方案是什么， $\Sigma$ - $\Delta$ 结构是如何克服这些缺点的？

在测量传感器信号时，传统的方法是利用高精度 ADC 作为信号链的核心。这种方法一般需要高分辨的 ADC 或电压 - 频率转换器 (VFC)，来应对那些微弱输入带宽有限信号。在 ADC 的输入前端需要设计相当复杂的模拟电路来调理传感器的输出信号以达到 ADC 的满量程动态范围，从而保证 ADC 的性能。很多情况下，不是 ADC 的采样精度，而是这些模拟调理电路的性能决定了整个系统在测量小信号应用中的成败。设计放大电路时，需要考虑很多因素。首先也是最重要的因素是噪声，这些噪声不仅是测量环境中的噪声，还有



高增益电路中的器件噪声。环境噪声中的工频干扰和电源上的噪声是电路设计中最常见的噪声源。放大电路需要抑制的另一个从传感器出来的共模噪声是一个较大的直流信号，因此有必要将差分信号转换成单端信号，以消除直流信号。放大器的失调温漂对电路的性能将造成严重破坏，这就导致需要选用价格昂贵的斩波放大器。可编程性很难设计到系统当中，而且系统的校准也主要由系统微控制器来完成的。这就要求外部的存储器来专门存储校准系数。

设计上的进步已经开发出高精度和完整的解决方案。这种完整的解决方案的优势在于准许系统设计工程师直接将调理电路集成于片上，从而直接接入传感器，大大减小模拟电路和电路板的设计复杂度。相比较那些分立元件的电路，这种完整解决方案更容易控制电路规模和预算误差。 $\Sigma$ - $\Delta$ 结构的 A/D 转换器就可以提供足够的动态范围来直接测量传感器的输出信号，因此可以省去前端高增益放大电路。

若要了解更多更具体的内容，请参见 ADI 网站上的应用笔记和研讨会资料：

Tutorial MT-022: ADC Architectures III: Sigma-Delta ADC Basics

Tutorial MT-023: ADC Architectures IV: Sigma-Delta ADC Advanced Concepts and Applications

AN-283 “Sigma-Delta ADCs and DACs”

AN-388 “Using Sigma-Delta Converters- Part1”

AN-389 “Using Sigma-Delta Converters- Part2”

ADI 网上还提供了 Sigma-Delta ADC 演示的动画，链接是

<http://designtools.analog.com/dt/sdtutorial/sdtutorial.html>

## 第3章 常见应用问题解答

下面按顺序对 FAQ 进行详细的叙述。其中标题为问题的叙述，标题以下的正文为问题的详细解答。

### 3.1 峰峰值噪声与有效噪声的区别，峰峰值分辨率与有效分辨率的区别？无失码分辨率又是指的什么？

无失码分辨率是对 ADC 线性性能的评价指标。峰峰值分辨率和有效值分辨率是评价 ADC 噪声性能的重要指标。它们之间的关系是：

峰峰值分辨率  $\approx$  有效分辨率 - 2.7 bits

这个关系的理论基础是，噪声通常是随机的，并且它的分布是正态分布。那么

$V_{noise}(\text{peak-to-peak}) = V_{noise}(\text{rms}) \times 6.6$ ; ( $\pm 3.3 \sigma$  区间对应 99.9% 置信概率)

如果转换为分辨率，就是 2.7 位的差别。 $(\log_2 6.6 = 2.7)$

如果对应于 ADC 的转换结果，峰峰值分辨率是没有跳码的位数，也就是保持稳定的位数。

我们以 AD7799 为例，在数据手册中都会有两个表格，如下所示：

Table 7. Output RMS Noise ( $\mu\text{V}$ ) vs. Gain and Output Update Rate for the AD7799 Using a 2.5 V Reference

Update Rate	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17 Hz	0.64	0.6	0.185	0.097	0.075	0.035	0.027	0.027
8.33 Hz	1.04	0.96	0.269	0.165	0.108	0.048	0.037	0.040
16.7 Hz	1.55	1.45	0.433	0.258	0.176	0.085	0.065	0.065
33.3 Hz	2.3	2.13	0.647	0.364	0.24	0.118	0.097	0.094
62.5 Hz	2.95	2.85	0.952	0.586	0.361	0.178	0.133	0.134
125 Hz	4.89	4.74	1.356	0.785	0.521	0.265	0.192	0.192
250 Hz	11.76	9.5	3.797	2.054	1.027	0.476	0.326	0.308
500 Hz	11.33	9.44	3.132	1.773	1.107	0.5	0.413	0.374

Table 8. Typical Resolution (Bits) vs. Gain and Output Update Rate for the AD7799 Using a 2.5 V Reference

Update Rate	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17 Hz	23 (20.5)	22 (19.5)	22.5 (20)	22.5 (20)	22 (19.5)	22 (19.5)	21.5 (19)	20.5 (18)
8.33 Hz	22 (19.5)	21.5 (19)	22 (19.5)	22 (19.5)	21.5 (19)	21.5 (19)	21 (18.5)	20 (17.5)
16.7 Hz	21.5 (19)	20.5 (18)	21.5 (19)	21 (18.5)	21 (18.5)	21 (18.5)	20 (17.5)	19 (16.5)
33.3 Hz	21 (18.5)	20 (17.5)	21 (18.5)	20.5 (18)	20.5 (18)	20.5 (18)	19.5 (17)	18.5 (16)
62.5 Hz	20.5 (18)	19.5 (17)	20.5 (18)	20 (17.5)	19.5 (17)	19.5 (17)	19 (16.5)	18 (15.5)
125 Hz	20 (17.5)	19 (16.5)	20 (17.5)	19.5 (17)	19 (16.5)	19 (16.5)	18.5 (16)	17.5 (15)
250 Hz	18.5 (16)	18 (15.5)	18.5 (16)	18 (15.5)	18 (15.5)	18.5 (16)	18 (15.5)	17 (14.5)
500 Hz	18.5 (16)	18 (15.5)	18.5 (16)	18.5 (16)	18 (15.5)	18.5 (16)	17.5 (15)	16.5 (14)

第一个表格是在不同的增益和数据输出速率的条件下有效噪声的值。第二个表格是在不同的增益和数据输出速率的条件下的有效分辨率和峰峰值分辨率。例如，在 16.7Hz 数据输出速率，64 倍增益条件下，有效噪声是 0.065 $\mu\text{V}$ ，对应的有效分辨率为 20 位，峰峰值分辨率为 17.5 位。

要了解具体的原理和推导，请参见 ADI 网站上的应用笔记 AN-615 “Peak to Peak Resolution vs. Effective Resolution”。

## 3.2 为什么转换结果的后几位总在跳，是不是正常？

判断是不是正常要先了解造成这种情况的原因。如果排除掉输入信号的原因，ADC 转换结果的不稳定是由于噪声引起的。在 ADC 的数据手册中对 ADC 在不同配置的情况下的噪声有详细的数据表格。所以对于用户 ADC 的转换结果的分析，要进行与数据手册相同测试条件的测试，然后与表格中数据进行比较。

数据手册中的噪声性能表格中的数据结果的测试条件是：使用高精度低噪声的参考电压源，短路 ADC 的差分输入端并接到正确的共模电平上，然后设置 ADC 的增益、滤波器系数，CHOP 模式，BUFFER 状态等等，然后采集足够多的转换结果，一般至少要几百个样本，做噪声分析。ADC 的噪声是呈正态分布，所以通过软件可以计算出这些样本的均值和标准偏差，标准偏差乘以 6.6 就得到峰峰值的噪声，然后通过满量程值与峰峰值噪声的比就能够计算出成峰峰值分辨率。这个分辨率与数据手册中表格中相同配置情况下的峰峰值分辨率比较就可以知道 ADC 的性能是不是正常了。

通常比较简单的检验方法可以采一组足够多的数据，找出最大值和最小值相减，这是 ADC 转换结果中跳动的码值，然后转换为位数，就可以大概得到峰峰值分辨率，也就是无跳动的分辨率，与数据手册中相比就可以了。如果测试结果与数据手册的指标相近，那么就正常，如果相差很远，就要仔细检查电路和 PCB 设计了。

## 3.3 在使用多通道 SIGMA-DELTA ADC 时，通道切换的速度很慢？

数据手册上所示的数据输出速率指的是在对同一通道进行连续采样时的输出数据速率。一旦进行了通道切换，ADC 内部的 sigma-delta 的调制器以及数字滤波器要有一定的建立时间。大多数 ADC 内部的数据滤波器是 sinc3 滤波器，所以通道切换后会需要 3 个数据输出的时间才能建立起来。对于 ADC 在通道转换后，DRDY 信号会在滤波器完全建立起来以后才会有效，所以用户没有必要把前三次的转换结果丢掉。

但是对于 AD7173-8 以及 AD7176-2 系列产品，它们的设计是经过特别设计处理的，所以它的通道切换速度以及转换速度非常快，适用于多通道快速切换采样的应用。

AD719X 系列可以有多种滤波器选项。滤波器的选择决定了有效数据输出的速率范围，同时也决定了建立时间，这个时间就是通道切换时一个完整的转换建立时间。以 sinc4 滤波器为例，在其斩波模式未使能的情况下，需要花费四倍于数据转换时间来清空滤波器。因此，当数据输出率为 50Hz 时，在通道切换之后，需要  $(1/(4 \times 50 \text{ Hz})) = 80 \text{ ms}$  来产生第一个有效数据。应用笔记 AN-1084，讨论了 AD719X 系列 A/D 转换器的不同种类的滤波器，同时还列出了可用的数据输出率，建立时间，以及每种滤波器在每秒钟可转换通道数的最大值。

当通道切换时，数字滤波器和调制器会自动复位， $\overline{\text{RDY}}$  变高直到第一个转换结果有效，这个转换结果来自于新的通道的模拟输入。因此，当通道转换时， $\overline{\text{RDY}}$  信号将一直为高，直到数字滤波器计算出第一个有效数据。

当输入端有一个阶跃信号时，ADC 不会被复位。ADC 将继续输出转换结果，每次转换之后， $\overline{\text{RDY}}$ 信号也将继续发生翻转。但是其转换结果将不会有效，因为在输入模拟信号发生突变时，数字滤波器需要一个完整的建立时间来输出一个有效数据。继续以 sinc4 滤波器，其斩波模式未使能的情况下为例，如果一个阶跃信号发生在一个转换时钟开始时，那么四个转换时钟之后的转换结果才是有效的。但是，如果这个阶跃变化和转换时钟信号不同步，以至于发生在转换周期的中间位置，那么 ADC 需要先完成当前时刻的转换，然后再需要四个转换周期输出一个有效数据。因此，这种情况下需要五个时钟周期来保证输出结果的有效性

用户可以通过以下链接下载数字滤波器模型以快速计算数据更新率以及通道切换速率：

[http://www.analog.com/zh/analog-to-digital-converters/ad-converters/products/dt-design-calculators/Digital\\_Filter\\_Spreadsheets/resources/fca.html](http://www.analog.com/zh/analog-to-digital-converters/ad-converters/products/dt-design-calculators/Digital_Filter_Spreadsheets/resources/fca.html)

### 3.3.1 如果使能 AD719X 的通道切换序列发生器并且工作在连续读取模式下，那么其事件顺序将是怎样的？

当序列发生器使能，ADC 将自动顺序扫描使能的通道。当多个通道被使能，同时当模式寄存器内的 DAT\_STA 位被置为 1 时，状态寄存器的值将随着每次数据转换而输出。状态寄存器的低三位表明所选用的通道。每当转换结果有效时 ( $\overline{\text{RDY}}$ 信号变低时)，可以通过读取数据寄存器获得转换结果（若在连续读取模式下，用户只需要提供 SCLK 时钟，写通讯寄存器的操作是不需要的）。

我们以使能 AIN1 - AIN2 和 AIN3 - AIN4 来举例说明 AD7190 /AD7192 的事件顺序。通道的数据输出率为 50Hz，内部时钟，放大倍数为 1，缓冲器打开，双极性模式，参考源采用外部 REFIN1(+) 和 REFIN1(-)脚。

写 0x80 到通讯寄存器：这表明下一个操作是写模式寄存器。

写 0x180060 到模式寄存器：配置 AD719X 的数据输出率为 50Hz,内部时钟源，并且置 DAT\_STA 位为 1。

写 0x10 到通讯寄存器：这表明下一个操作是写配置寄存器。

写 0x000310 到配置寄存器：配置 AD719X 的放大倍数，极性，参考源并且选择 AIN1 - AIN2 和 AIN3 - AIN4。

写 0x5C 到通讯寄存器：表明下面的操作时连续读取数据寄存器，直到连续读取模式被关断。

连续运行下面的循环，读回的结果来自这两个通道的顺序切换。

查询 DOUT/ $\overline{\text{RDY}}$ 端口：DOUT/ $\overline{\text{RDY}}$ 表明数据寄存器内的数据是否有效。当 DOUT/ $\overline{\text{RDY}}$ 变低时，需要给 ADC 提供 32 个时钟。当 DOUT/ $\overline{\text{RDY}}$ 为高时，读操作是无效的。

当往通讯寄存器写 0x58 时即可关断其连续读取模式。

要了解更详细的内容，请参见 ADI 网站上的应用笔记 AN-665 “Channel Switching Using  $\Sigma$ - $\Delta$  ADCs”。

### 3.4 什么情况下要使用内部的 BUFFER？

Sigma-Delta ADC 的前端是开关电容结构的。这种结构在稳定状态下具有比较大的输入阻抗，但是当它工作在开和关切换的情况下，会需要一定的充电电流。这个电流的大小与采样频率，输入信号的差分电压和输入电容的大小有关。如果不用内部的 **buffer**，那么这个动态的负载会对外部的电阻和电容的大小有限制。如果外部的电阻电容值太大的话，在 ADC 采样阶段，输入信号就不能对 ADC 的输入电容进行足够的充电，因此会造成 ADC 的增益误差。对于在不使用内部 **buffer** 的情况下所能允许的最大外部电阻电容值以及它带来的误差，都会在数据手册中有说明。如果你的前端的输出阻抗及电容较大，请使用内部 Buffer。

要了解更多内容，请参考 ADI 网站的技术资料 “Industrial Converter Technical Note – ICV002 Input Buffers on  $\Sigma$ - $\Delta$  ADCs”。

### 3.5 怎样使用 50/60Hz 抗工频干扰功能？

要使用 ADC 的 50/60Hz 抗工频干扰的功能，只需设置 ADC 内部的滤波器参数。在某种特定滤波器设置下，内部数字滤波器的响应会在 50/60Hz 频率下有较强抑制。对于不同器件，请参见数据手册。以 AD7799 为例，在数字滤波器设置为 19.6Hz 的输出数据速率时，只对 60Hz 具有抑制，为 90dB。而当数字滤波器设为 16.7Hz 时，只对 50Hz 有抑制，为 80dB。当滤波器设为 4.17Hz 时，对 50Hz 和 60Hz 都具有 74dB 的抑制。所以不同的滤波器设置，对 50/60Hz 的抑制效果是不同的。在某些滤波器的设置下，对 50/60Hz 基本没有抑制。但是 ADI 最新推出的 AD7176-2 和 AD7173-8 具有增强型 50 Hz/60 Hz 抑制功能，可以在不同输出更新率下进行 50 Hz/60 Hz 工频抑制。

要了解更详细的内容，请参见 ADI 网站上的应用笔记 AN-611 “50 Hz/60 Hz Rejection on  $\Sigma$ - $\Delta$  ADCs”。

### 3.6 我的信号是双极性的信号，能不能直接输入到单电源供电的 ADC？

首先，我们要先对我们的输入信号有准确的理解。一般在差分输入的情况下，会造成误解。对于差分信号来讲，所谓的双极性是指的相对双极性，还是针对于地的绝对双极性信号？数据手册上对于差分情况下的双极性输入范围的定义，如 +/-20mV, +/-80mV, +/-1.25V 或者 +/-2.5V 的输入信号范围，是指的差分信号的差值，也就是说差分信号的正端

$A_{IN+}$ 与负端  $A_{IN-}$ 的差可以是正的，也可以是负的，但是这对差分信号的对地绝对电压值不一定是负的。举个例子，差分信号正端  $A_{IN+}$ 的输入范围是 1V 到 3V，差分信号负端  $A_{IN-}$ 的输入信号范围是 3V 到 1V，那么差分输入信号的范围是 -2V 到 2V。可以看到，差分信号的范围是 -2V 到 2V 的双极性信号，但它们各自的绝对电平都是正的。所以在输入 ADC 前一定要知道差分输入信号的绝对电压和差值。那么单电源供电的 ADC 能不能处理绝对电压是负的信号呢？

这取决于你有没有使能内部的缓冲器。如果没有使能 ADC 内部的缓冲器，ADC 的输入可以是负的，可以到 -30mV。如果使能了内部缓冲器，那么输入的模拟信号一定是正的，并且要大于某一电压，具体输入范围，请参见数据手册。所以，一旦使用了内部缓冲器，请一定要注意输入信号的对地的绝对电压值的范围。

但是对于 AD7732/4，这两颗芯片的模拟输入有特殊处理，可以处理双极性的输入信号。

ADI 的有些 ADC 可以双电源供电，AD7710，AD7730，AD7711 和 AD7712，在双电源供电情况下，可以输入双极性信号。

### 3.7 什么是 CHOP 模式，它有什么作用？

CHOP 模式主要是用来去除 ADC 的失调误差，包括在温度变化情况下和电源电压变化的情况下产生的任何偏移误差，同时也能去除一些低频的噪声。CHOP 的实现方法是不停的交换 ADC 差分输入的两端，然后把没交换前的结果和交换后的测量结果进行平均，就可以得到去掉偏移误差的结果。但是请注意，使用 CHOP 模式以后，ADC 的数据输出速率在相同滤波器参数设置的时候会不同。具体请参见数据手册。

要了解更多的关于 CHOPPING 的工作原理和注意事项，请参见 ADI 网站上的应用笔记 AN-609 “Chopping on  $\Sigma - \Delta$  ADCs”。

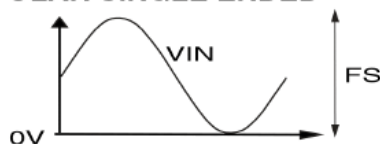
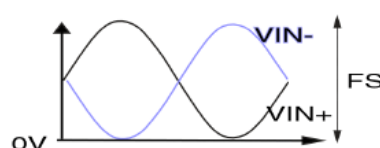
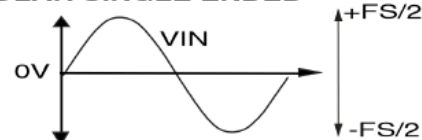
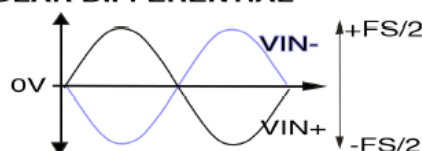
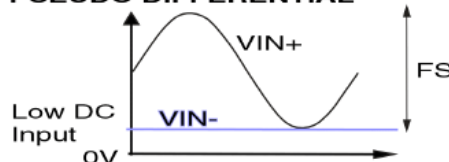
### 3.8 什么是单端信号，什么是全差分，什么是伪差分？

单端信号对于 ADC 来说只有一个输入端，它的参考端是 ADC 的地。对于单端信号来讲，它的缺点是信号的失调误差和噪声会影响 ADC 的输入动态范围。

全差分是一对独立的信号，ADC 转换的是这对信号的差值，它们的共模信号则被抑制掉。这对信号的共模电压可以处于 ADC 输入信号范围内的任何电压。差分信号会具有两倍单端信号的摆幅，同时差分信号能够抑制共模噪声，所以可以得到更高的信噪比。

伪差分与差分信号类似，伪差分信号也是一对信号，但它的参考端或负端是一个直流电平，用来去除正端信号中的直流成分。

下图示出了各种信号的典型波形。

**(1) UNIPOLAR SINGLE ENDED****(2) UNIPOLAR DIFFERENTIAL****(3) BIPOLAR SINGLE ENDED****(4) BIPOLAR DIFFERENTIAL****(5) PSEUDO DIFFERENTIAL**

### 3.9 ADI 的 SIGMA-DELTA ADC 的输出码的格式是什么?

当 ADC 的输入设为单极性输入时，ADC 的输出码是直接二进制形式。以 16 位 ADC 为例，当输入为 0V 时，输出码是 0x0000；当输入是一半量程时，输出码为 0x8000；当输入为满量程时，输出为 0xFFFF。

如果 ADC 的输入是双极性的，那么 ADC 的输出码为偏移二进制形式，以 16 位 ADC 为例，当输入为负的满量程，输出码为 0x0000；当输入为 0V，输出码为 0x8000；当输入为正的满量程，输出为 0xFFFF。

### 3.10 怎样选择 SIGMA-DELTA ADC 的参考源?

对于 sigma-delta ADC 来讲，需要选择噪声和温漂都很小的参考源。对于 5V 电源供电的 ADC，可选的型号包括 ADR445, ADR4550, AD780, ADR421, ADR381, ADR291, REF43 和 REF192。对于 3V 电源供电的 ADC，可选的型号包括 AD589 和 AD1580。

另外，有些产品已经内置了电压参考源，而无需外接参考源，如 AD7792、AD7793、AD7794。

ADI 对于 ADC 的电压参考源选型提供了一个工具，您也可以通过这个工具给您的 ADC 选择合适的电压参考源。这个工具的链接是：

[http://www.analog.com/Analog\\_Root/static/techSupport/designTools/voltagereference/icense/voltageReference\\_general.html?download=download.html](http://www.analog.com/Analog_Root/static/techSupport/designTools/voltagereference/license/voltageReference_general.html?download=download.html)

对于压力测量或者电子秤的应用，ADC 的参考源可以由电桥传感器的激励源提供，这种测量方法叫做比例测量。应用这种方法，激励源中的噪声会被抵消掉。如果电桥的激励电压较高，可以用电阻分压得到 ADC 的参考电压。

### 3.11 用串口配置芯片让其转换，但是/DRDY 一直为高，芯片不转换？

1. 检查配置是否正确。ADC 的寄存器是可读可写的，当你配置完这些寄存器以后，可以再读一遍这些寄存器，看看是否写入的值与读出的值相同。
2. 对于有 SYNC 管脚或是 FSYNC 寄存器位的产品，请注意这个管脚和寄存器的配置。它的作用是用来复位 ADC 的，如果这位或者这个管脚没有配置正确的话，ADC 一直处于复位状态，无法正常转换。
3. 对于那些具有硬件 power down, reset 或者 standby 模式的产品，检查相应管脚的电平是否正确。

用户可以通过以下链接下载 Sigma-Delta 寄存器配置助手快速设置寄存器，并生成伪代码：

[http://www.analog.com/zh/analog-to-digital-converters/ad-converters/products/dt-design-calculators/Sigma\\_Delta\\_Register\\_Configuration\\_Assistant/resources/fca.html](http://www.analog.com/zh/analog-to-digital-converters/ad-converters/products/dt-design-calculators/Sigma_Delta_Register_Configuration_Assistant/resources/fca.html)

### 3.12 为什么 SPI 口在正常工作了一段时间后就被锁住了，/DRDY 一直为高，读出的值也都全为 1？

可能性 1：在读写过程中，发出了错误的 SCLK 脉冲的个数。用逻辑分析仪捕捉控制的时钟和信号，看是否 SCLK 的脉冲个数是正确的。注意在读、写操作的间歇，请置 SCLK 为高电平。

可能性 2：在 SCLK 信号上有比较大的噪声尖峰，让 ADC 把这些尖峰也认为是有效脉冲。注意，在 DIN 没用的时候，把它置高。在 SCLK 线上串连一个小电阻以减小噪声的尖峰。

可能性 3：在早期的产品中，如 AD7710，SCLK 的输入端没有集成施密特触发器，如果对于 SCLK 信号采用了光耦，那么对 SCLK 信号的上升沿和下降沿有很大的延长，这样会使芯片时序工作不正常。



可能性 4: 检查 MCU 的 I/O 电平是否与 ADC 的 I/O 电平是否兼容。

### 3.13 什么情况下做自校准，什么情况下做系统校准？

自校准，校准的是 ADC 自身的偏移误差和增益误差。它操作起来比较简单，只需设置芯片的模式寄存器。ADC 会自动的在内部把输入连接到 0 或者是满量程，不需要用户在外部连接 0 信号或是满量程信号。大部分 ADC 在出厂时都已经校准过，能够保证数据手册的精度。但是为了达到更高的精度，当 ADC 工作的条件改变时，如工作温度、电源电压、增益、滤波器设置或其它 ADC 内部设置改变时，都需要重新做校准。

系统校准消除的是系统的偏移误差和增益误差。在用户做系统校准时，需要把系统的零点信号和满量程信号输入给 ADC 并保持稳定，然后再置模式寄存器启动校准。当 ADC 完成了系统校准以后，以后所做的每次转换都会按照校准得到的系数自动被修正，而不需要用户在软件中再做任何的计算或修正。系统校准得到的校准系数是存储在芯片的寄存器中的，掉电以后会丢掉。所以如果用户在下次上电时希望不再做校准而使用以前的校准系数，那么就需要把这次的校准系数从校准系数寄存器中读取出来然后存储到非易失性的存储体内，如 E<sup>2</sup>PROM 中，那么以后每一次上电时，就可以从 E<sup>2</sup>PROM 中读出系数，再写入 ADC 的校准系数寄存器就可以了。在做系统校准时，请注意输入的系统满量程和零点信号要在一定范围之内，具体要求请参见数据手册关于系统校准限制的部分。与自校准一样，当 ADC 工作的条件改变时，如工作温度、电源电压、增益、滤波器设置或其它 ADC 内部设置改变时，都需要重新做系统校准。而且当系统零点和满量程点的信号定义改变时，也要重新做系统校准。

#### 3.13.1 带校准功能的 sigma-delta 型 ADC 在什么情况下需要重新校准？

外部参考源发生变化时。

重新设置内部 PGA 的放大倍数。

重新设置数据更新率。

注：内部零电平校准、系统零电平校准和系统满量程校准可以在任何输出数据速率时执行。内部满量程校准可以在滤波器字 FS[9:0]能被 16 整除的任何输出数据速率时执行，FS[9:0]指写入模式寄存器 FS9 位至 FS0 位的 10 位字的十进制等效值。因此，斩波禁用时，内部满量程校准可以在 10Hz 或 50 Hz 等输出数据速率时执行。使用这些较低的输出数据速率可以获得更高的校准精度。如果 AVDD 小于 4.75 V，则执行内部满量程校准时必须将 CLK\_DIV 位置 1(仅对供电电压可为 3V)。执行内部满量程校准时，使能斩波并使用较低的输出数据速率，可以进一步提高校准精度。对于 AD7176-2 和 AD7173-8 在发生通道切换时，是不需要重新校准的。因为其每个模拟输入通道都有相应的校准寄存器。

### 3.13.2 Sigma-Delta 的失调寄存器和满量程寄存器可以手动的进行读

#### 写操作吗？

答案是肯定的。但是这两个寄存器的写操作必须在转换器处在 Idle 或者 Power-Down 模式下才能正常进行写操作。而且如果重新复位的话，这两个寄存器的值也将复位成默认值。

如果要了解更多关于不同产品校准的问题，请参考 ADI 网站上的应用笔记 AN-553 “Adjusting the Calibration Coefficients on the AD771x Family of Sigma Delta Converters” 和 AN-663 “AD7732/AD7734/AD7738/AD7739 Calibration Registers”。

### 3.14 在 PCB 布局布线时，应注意些什么？

Sigma-Delta ADC 具有非常高的分辨率以及极低的噪声，因此 PCB 的布局布线对于实现 ADC 的高性能有非常大的影响。在 PCB 的布局布线中需要注意以下方面：

1. 电源：如果可能，尽量使用单独的模拟电源和单独的数字电源。而且模拟部分的电源要使用线性电源。如果使用单电源给 AVDD 和 DVDD 供电的话，AVDD 和 DVDD 之间应用磁珠进行隔离。在所有的 AVDD 的管脚要用 0.1uF 和 10uF 进行去耦到模拟地上，所有数字电源管脚要用 0.1uF 进行去耦，接到数字地上。电源线在 PCB 上要走尽量宽的线。
2. 地：系统要分为模拟地和数字地两部分，模拟地和数字地都要是大面积的地平面。ADC 芯片本身模拟管脚与数字管脚都物理上分隔开了，因此 ADC 可以跨在模拟地平面和数字地平面的中间，ADC 的 AGND 管脚要接到系统模拟地，ADC 的 DGND 管脚要接到系统数字地。模拟地和数字地最终在 ADC 的附近进行一点相接。
3. 信号：信号的模拟部分和数字部分要分开，模拟信号线和数字信号线也要分开，模拟信号线和数字信号线不要穿插。在芯片下面避免走数字信号。

如果要了解更多，请参考 ADI 网站上的技术资料 “Obtaining Optimum Performance From the AD7731 Sigma Delta ADC”。

### 3.15 是否能够提供评估板和例子程序？

可以。评估板的文档资料包括原理图可以在网站上下载。如果要购买评估板，请与 ADI 的代理联系。ADI 中国地区代理商的联系方式的链接是

<http://www.analog.com/zh/corporate/sales-and-distributors/content/sales-and-distributors/fca.html>

所有代码例子中，MCU 使用的 ADUC8XX,或者 ADUC7XXX 单片机，用 C 程序编写。您可以通过以下链接查看

[http://www.analog.com/zh/content/CIC\\_index\\_code\\_example/fca.html](http://www.analog.com/zh/content/CIC_index_code_example/fca.html)

### 3.16 是否能够申请免费样片？

在 ADI 的网站上可以申请各种产品的免费样片，每一种最多可以申请两片，每次四种，总数量不得超过八片。

### 3.17 多通道 Sigma-Delta ADC 产品

在一些应用中，客户需要同时采样多路数据，以下列出几款产品：

AD7716: 22bit, 无 PGA, 带滤波器, 4 通道单端输入, 串行输出

AD7719: 一路 24bit, 一路 16bit, 带 PGA, 无滤波器, 105SPS, 串行输出或 SPI 输出

AD7724: 无 PGA 和滤波器, 2 通道差分输入, 串行输出

AD7176-2: 20 $\mu$ s 建立时间。50KHz 通道切换速率。每通道独立的配置和校准寄存器

AD7173-8: 161 $\mu$ s 建立时间, 8 通道差分输入, 斩波 buffer, 每通道独立的配置和校准寄存器