适合空间受限应用的最高功率密度、多轨电源解决方案

作者：Maurice O'Brien

随着通信、医疗和工业设备的总体尺寸不断缩小，电源管理设计变得越来越重要。本文讨论高度集成的全新电源管理解决方案的应用，这些新器件为 RF 系统、FPGA 和处理器供电所带来的优势，以及有助于设计人员快速实现新设计的设计工具。

在通信基础设施中，毫微微蜂窝和微微蜂窝的兴起推动基站向更小型化方向发展，这对数字基带、存储器、RF 收发器和功率放大器的供电提出了复杂要求，必须在最小的面积中提供最高的功率密度，如图 1 所示。典型的小蜂窝系统需要密度非常高的电源，它能以快速瞬变响应输送大电流以便为数字基带供电，同时利用低噪声、低压差调节器 (LDO) 为 AD9361 RF 捷变收发器™、温度补偿晶体振荡器 (TCXO) 和其他噪声关键电源轨供电。将开关稳压器的开关频率设置到关键 RF 频段以外可降低噪声，并且同步开关稳压器可确保拍频不影响 RF 性能。降低数字基带的内核电压 (V_{CORE}) 可将低功耗模式的功耗降至最低，电源时序控制则可确保数字基带在 RF 收发器使能之前上电并运行。数字基带与电源管理之间的 I^2C 接口允许改变降压调节器的输出电压。为提高可靠性，电源管理系统可以监控其自身的输入电压和芯片温度，向基带处理器报告任何故障。

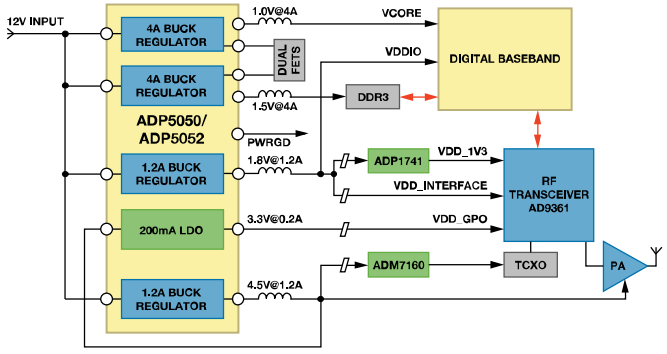


图 1. 小型基站需要多种电源

同样，医疗和仪器设备（如便携式超声设备和手持式仪器）的趋势也是尺寸越来越小，要求在更小的面积上以更有效的方式为 FPGA、处理器和存储器供电，如图 2 所示。典型的 FPGA 和存储器设计需要密度非常高的电源，它能以快速瞬变响应输送大电流以便为内核和 I/O 电源轨供电，同时通过低噪声轨为锁相环 (PLL) 等片内模拟电路供电。电源时序至关重要，应确保 FPGA 在存储器使能之前上电并运行。带精密使能输入和专用电源良好输出的稳压器支持电源时序控制和故障监控。电源设计师通常希望将同一电源 IC 用在不同应用中，因此，必须能够改变电流限值。这种设计重用可大幅缩短产品上市时间——任何新产品开发流程中的关键要素之一。

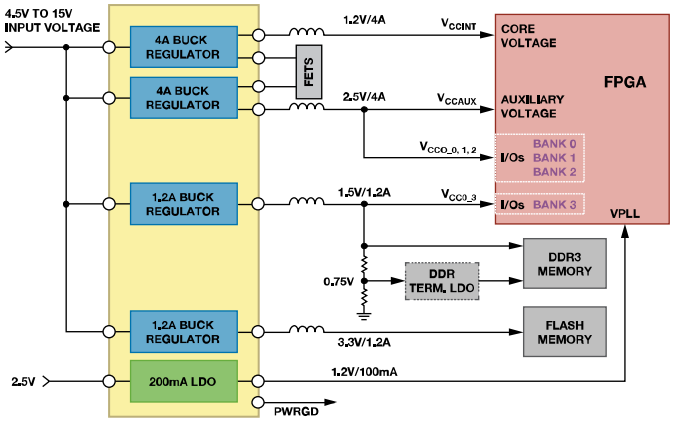


图 2. 为基于 FPGA 的系统供电

考虑具有 1 路 12 V 输入和 5 路输出的 FPGA 的多轨电源管理常见设计规格：

- 内核电轨：1.2 V (4 A)
- 辅助电轨：1.8 V (4 A)
- I/O 电轨：3.3 V (1.2 A)
- DDR 存储器电轨：1.5 V (1.2 A)
- 时钟电轨：1.0 V (200 mA)

典型的分立方案如图 3a 所示，4 个开关稳压器连接到 12 V 输入轨。一个开关稳压器的输出预调节 LDO 以降低功耗。另一种方法如图 3b 所示，使用一个稳压器将 12 V 输入降压至 5 V 中间轨，然后再经调节以产生所需的各个电压。该方案的成本较低，但由于采用两级电源转换，效率也较低。在以上两种方案中，各稳压器都必须独立使能，因此，可能需要一个专用电源时序控制器来控制电源的时序。噪声可能也是一个问题，除非所有开关稳压器都能同步以降低拍频。

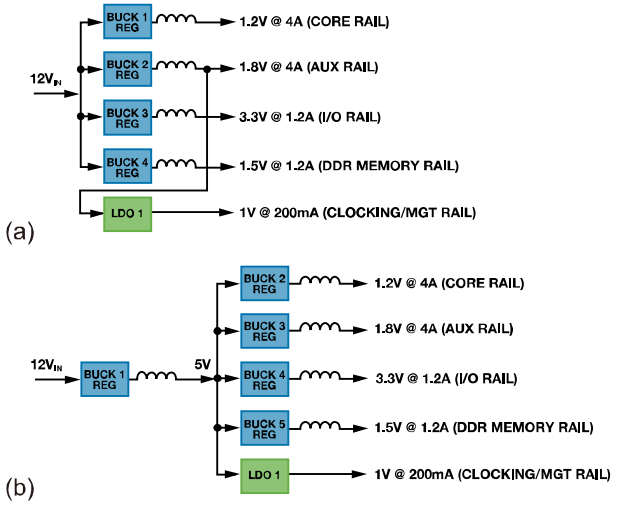


图 3. (a) 分立稳压器设计，(b) 备选分立稳压器设计

集成解决方案实现高效率、小尺寸

将多个降压调节器和 LDO 集成到单个封装中，可显著缩小电源管理设计的总体尺寸。此外，与传统分立方案相比，智能型集成解决方案具有许多优势。减少分立元件数目可大幅降低设计的成本、复杂度和制造成本。集成电源管理单元 (PMU) ADP5050 和 ADP5052 可在单个 IC 中实现所有这些电压和功能，所用 PCB 面积和元件大幅减少。

为了最大程度地提高效率，去除预调节器级，各降压调节器均直接从 12 V 电压供电（类似于图 3a）。降压调节器 1 和 2 具有可编程电流限值（4 A、2.5 A 或 1.2 A），因此电源设计师可以快速轻松地为新设计改变电流，大大缩短开发时间。LDO 可从 1.7 V 至 5.5 V 电源供电。在本例中，其中一个降压调节器的 1.8 V 输出为 LDO 供电，提供低噪声 1 V 电源轨用于噪声敏感的模拟电路。

开关频率 f_{SW} 由电阻 R_{RT} 设置，范围是 250 kHz 到 1.4 MHz。灵活的开关频率范围使得电源设计师可以优化设计，降低频率以实现最高效率，或者提高频率以实现最小的总体尺寸。图 4 显示了 f_{SW} 与 R_{RT} 之间的关系。R_{RT} 的值可通过下式计算：

$R_{RT} = (14822/f_{SW})^{1.081}$，R 的单位为 kΩ，$f$ 的单位为 kHz。

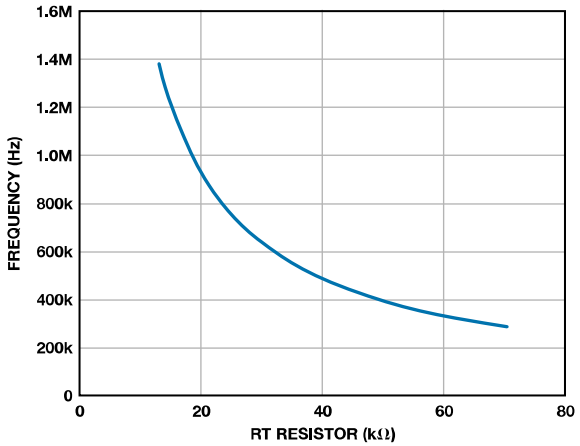
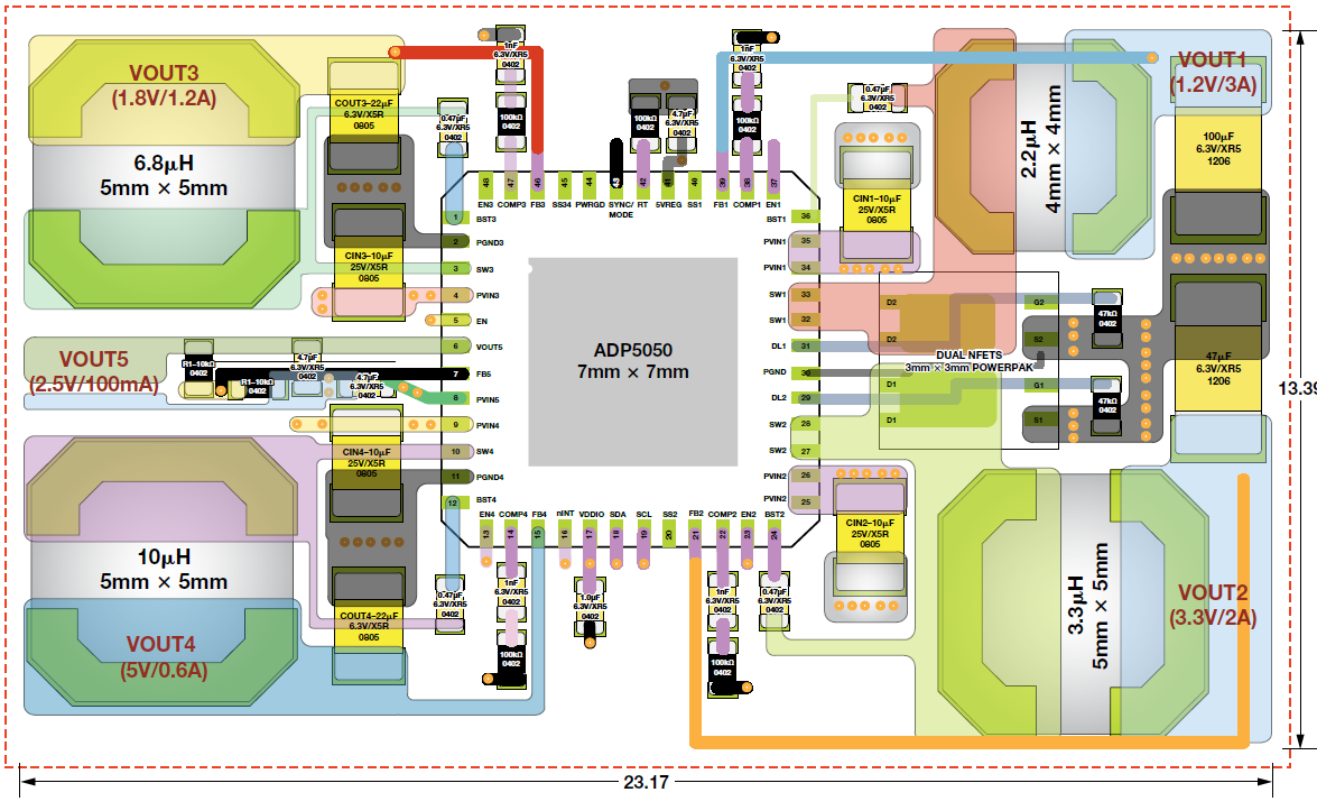


图 4. 开关频率与 R_{RT} 的关系

某些设计中，两者都很重要：对较高电流轨使用较低的开关频率以提供最高电源效率，对较低电流轨使用较高的开关频率以缩小电感尺寸和实现最小的 PCB 面积。ADP5050 的主开关频率具有二分频选项，能够以两种频率工作，如图 5 所示。降压调节器 1 和 3 的开关频率可通过 I^2C 端口设置为主开关频率的一半。



TOTAL PCB AREA AROUND 23mm × 13.5mm = 310mm²

LAYOUT EXAMPLE:
V_{IN} = 12V
BUCK 1: 3A @ 600kHz
BUCK 2: 2A @ 1.2MHz
BUCK 3: 1.2A @ 600kHz
BUCK 4: 0.6A @ 1.2MHz
LDO: 0.1A

图 5. ADP5050 对高电流轨使用低开关频率以提高效率，
对低电流轨使用高开关频率以缩小电感尺寸

电源时序控制

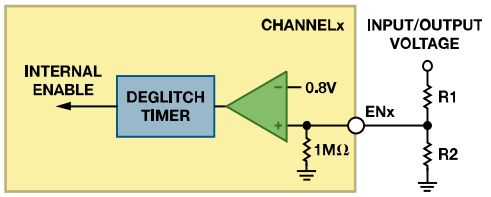
如图 6 所示，ADP5050 和 ADP5052 通过四个特性来简化使用 FPGA 和处理器的应用的电源时序控制：精密使能输入、可编程软启动、电源良好输出和有源输出放电开关。

精密使能输入：每个稳压器，包括 LDO 在内，都有一个带 0.8 V 精密基准电压的使能输入（图 6-1）。当使能输入的电压大于 0.8 V 时，稳压器使能；当该电压小于 0.725 V 时，稳压器禁用。内部 1 MΩ 下拉电阻可防止该引脚悬空时发生错误。利用精密使能阈值电压，很容易控制器件内的电源时序，使用外部电源时也一样。例如，降压调节器 1 设置为 5 V 时，可以利用一个电阻分压器来设置精确的4.0 V跳变点以使能降压调节器2，依此类推为所有输出设置精确的上电时序。

可编程软启动：软启动电路以可控方式缓慢提高输出电压，从而限制浪涌电流。软启动引脚连接到 V_{REG} 时，软启动时间设置为 2 ms；在软启动引脚与 V_{REG} 和地之间连接一个电阻分压器时，软启动时间可提高至 8 ms（图 6-2）。为了支持特定启动序列或具有大输出电容的值，可能需要这种配置。软启动的可配置能力和灵活性使大型复杂的 FPGA 以及处理器能以安全可控的方式上电。

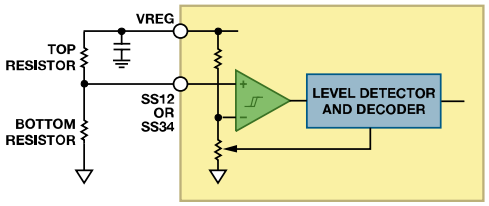
电源良好输出：当所选降压调节器正常工作时，开漏电源良好输出 (PWRGD) 变为高电平（图 6-3）。电源良好引脚可以将电源的状况告知主机系统。默认情况下，PWRGD 监控降压调节器 1 上的输出电压，但也可以定制其它通道来控制 PWRGD 引脚。各通道的状态（PWRGx 位）可通过 ADP5050 上的 I^2C 接口回读。PWRGx 位的逻辑高电平表示调节输出电压高于标称输出的 90.5%。当调节输出电压降至其标称输出的 87.2%以下并持续 50 µs 以上时，PWRGx 位设为逻辑低电平。PWRGD 输出是内部未屏蔽 PWRGx 信号的逻辑和。内部 PWRGx 信号必须为高电平且持续至少 1 ms，PWRGD 引脚才能变为高电平；如果任意 PWRGx 信号发生故障，则 PWRGD 引脚毫无延迟地变为低电平。控制 PWRGD 的通道（通道 1 至通道 4）由工厂熔丝指定，或通过 I^2C 接口设置相应位来指定。

有源输出放电开关：每个降压调节器均集成一个放电开关，它连接在开关节点与地之间（图 6-4）。当其相关调节器禁用时，开关接通，有助于使输出电容快速放电。对于通道 1 至通道 4，放电开关的典型电阻为 250 Ω。当调节器禁用时，即使有大容性负载，有源放电开关也会将输出拉至地。这样就能显著提高系统的稳定性，尤其是在周期供电时。



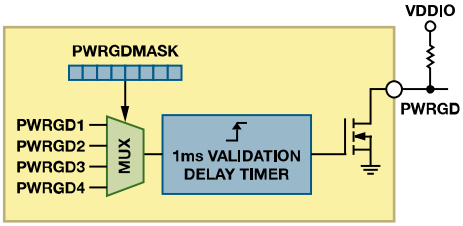
1. 精密使能阈值

高于 0.8V 使能稳压器，低于 0.72V（迟滞）则关断稳压器。



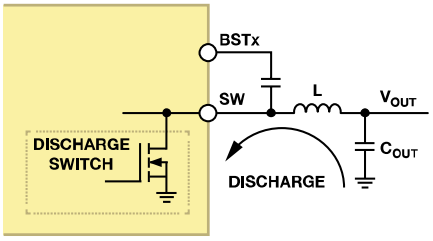
2. 可编程软启动

各通道上的不同软启动可编程为 2ms、4ms、8ms。



3. PWRGD 输出

CH1 到 CH4 的所需 PWRGDx 可通过工厂熔丝或 I^2C 配置。

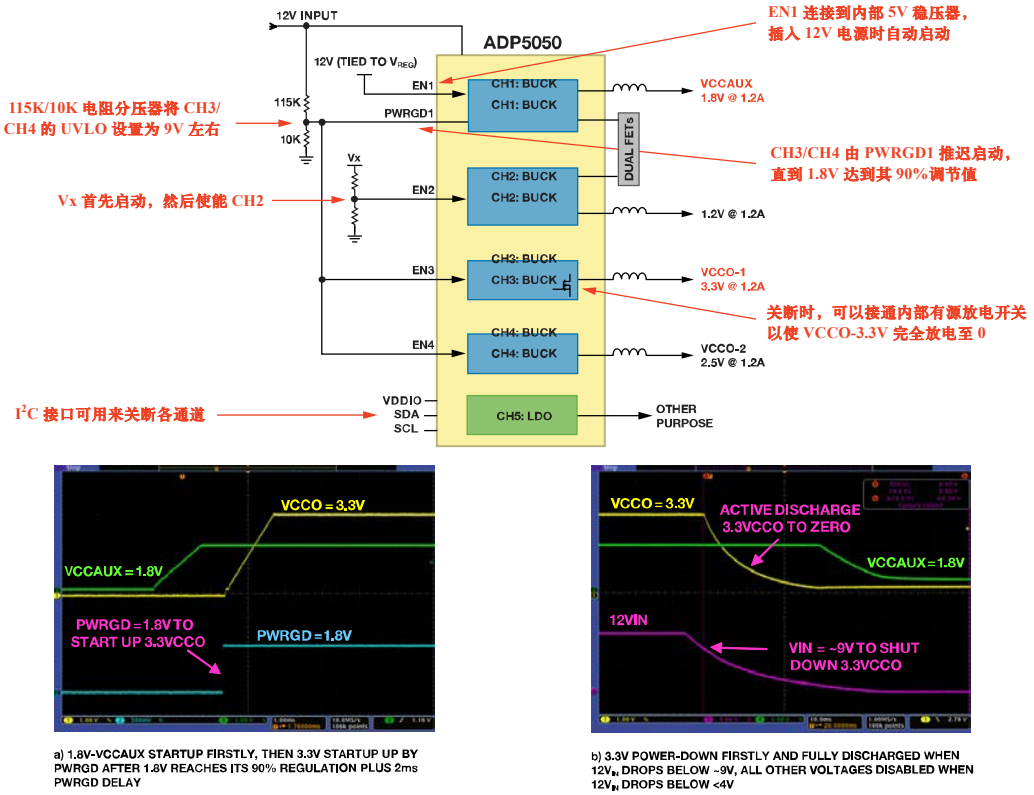


4. 有源输出放电开关

可以接通输出放电开关以缩短输出电容的放电周期。

图 6. ADP5050 和 ADP5052 简化电源时序控制

图 7 所示为典型的上电/关断时序。



a) 1.8V-VCCAUX STARTUP FIRSTLY, THEN 3.3V STARTUP UP BY PWRGD AFTER 1.8V REACHES ITS 90% REGULATION PLUS 2ms PWRGD DELAY

b) 3.3V POWER-DOWN FIRSTLY AND FULLY DISCHARGED WHEN $12V_{IN}$ DROPS BELOW ~9V, ALL OTHER VOLTAGES DISABLED WHEN $12V_{IN}$ DROPS BELOW <4V

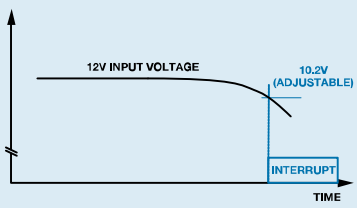
图 7. 典型的上电/关断时序

I²C 接口

I²C 接口实现了对两个降压调节器输出（通道 1 和通道 4）的高级监控和基本动态电压调整。

输入电压监控：可以监控输入电压是否发生欠压等故障。例如，将 12 V 电压施加于输入，I²C 接口配置为：如果输入电压低于 10.2 V，则触发报警。专用引脚 (nINT) 上的信号告知系统处理器问题已出现，并关断系统以便采取纠正措施。具备监控输入电压的能力可提高系统可靠性。图 8 显示了可以设置哪些值来监控 ADP5050 的输入电压。

结温监控：可以监控结温以判断是否发生过温等故障。如果结温高于预设值（105°C、115°C 或 125°C），nINT 上就会产生报警信号。与热关断不同的是，此功能发送警告信号而不关断器件。具备监控结温并提醒系统处理器注意避免发生系统故障的能力可提高系统可靠性，如图 9 所示。

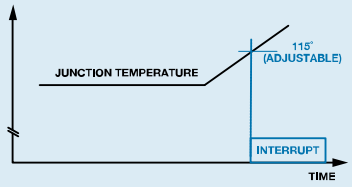


Low input voltage detection on PVIN1.

[3:0]	LVIN_TH[3:0]	R/W	These bits set the low input voltage detection threshold. 0000 = 4.2V (default) 0001 = 4.7V 0010 = 5.2V 0011 = 5.7V 0100 = 6.2V 0101 = 6.7V 0110 = 7.2V 0111 = 7.7V 1000 = 8.2V 1001 = 8.7V 1010 = 9.2V 1011 = 9.7V 1100 = 10.2V 1101 = 10.7V 1110 = 11.2V 1111 = low input voltage warning function disabled

Undervoltage monitor values.

图 8. 输入欠压检测



[5:4]	TEMP_TH[1:0]	R/W	These bits set the junction temperature overheat threshold. 00 = temperature warning function disabled (default) 01 = 105°C 10 = 115°C 11 = 125°C

Low input voltage detection on PVIN1.

图 9. 结温监控

动态电压调整：动态电压调整通过动态降低低功耗模式下通道 1 和通道 4 的电源电压来降低系统功耗，它也可以根据系统配置和负载动态改变输出电压。此外，所有四个降压调节器的输出电压均可通过 I²C 接口设置，如图 10 所示。

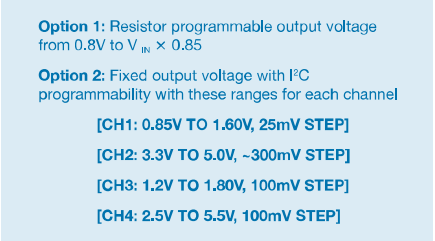


图 10. ADP5050 输出电压选项

低噪声特性

多个特性可降低电源产生的系统噪声。

宽电阻可编程开关频率范围：RT 引脚上的电阻可在 250 kHz 至 1.4 MHz 的范围内设置开关频率。电源设计师可灵活地设置开关频率以避免系统噪声频段。

降压调节器相移：降压调节器的相移可通过 I²C 接口设置。默认情况下，通道 1 和通道 2 之间以及通道 3 和通道 4 之间的相移为 180°，如图 11 所示。反相操作的优势是输入纹波电流和电源接地噪声更低。

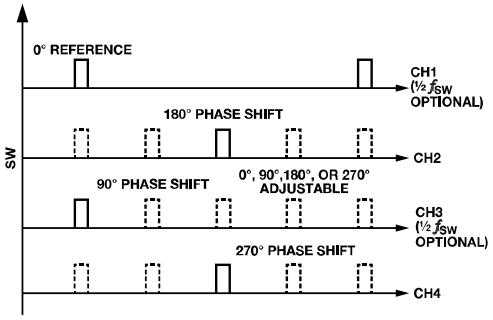


图 11. ADP5050/ADP5052 的降压调节器相移

利用 I²C 接口，通道 2、通道 3 和通道 4 相对于通道 1 的相移可设置为 0°、90°、180°或 270°，如图 12 所示。通道 1 和通道 2 配置为并联操作以提供最高 8 A 的单路合并输出时，通道 2 的开关频率相对于通道 1 锁定至 180°相移。

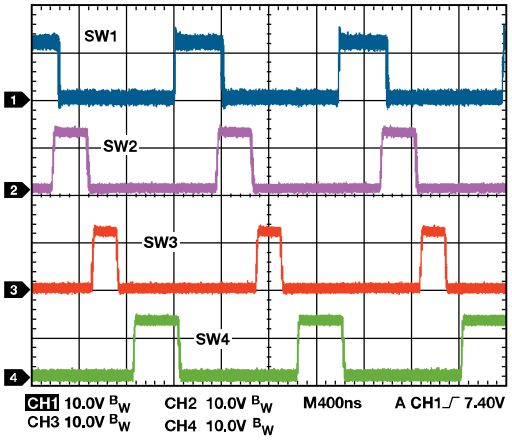


图 12. 降压调节器的相移可通过 I²C 接口配置

时钟同步：开关频率可通过 SYNC/MODE 引脚同步至 250 kHz 到 1.4 MHz 的外部时钟。该能力对于 RF 和噪声敏感应用很重要。检测到外部时钟时，开关频率平滑过渡至其频率。当外部时钟停止时，器件切换到内部时钟并继续正常工作。与外部时钟同步可使系统设计师远离临界噪声频段，并降低系统中多个器件产生的噪声。

为成功同步，必须将内部开关频率设置为接近于外部时钟值的值，频率差建议小于±15%。

通过工厂熔丝或 I²C 接口，可将 SYNC/MODE 引脚配置为同步时钟输出。当频率等于内部开关频率时，SYNC/MODE 引脚产生占空比为 50%的正时钟脉冲。产生的同步时钟与通道 1 开关节点之间有一个较短的延迟时间（约为 t_{SW} 的 15%）。

图 13 显示了两个配置为频率同步模式的器件：一个器件配置为时钟输出以同步另一个器件。应当使用 100 kΩ 上拉电阻，以防 SYNC/MODE 引脚悬空时发生逻辑错误。

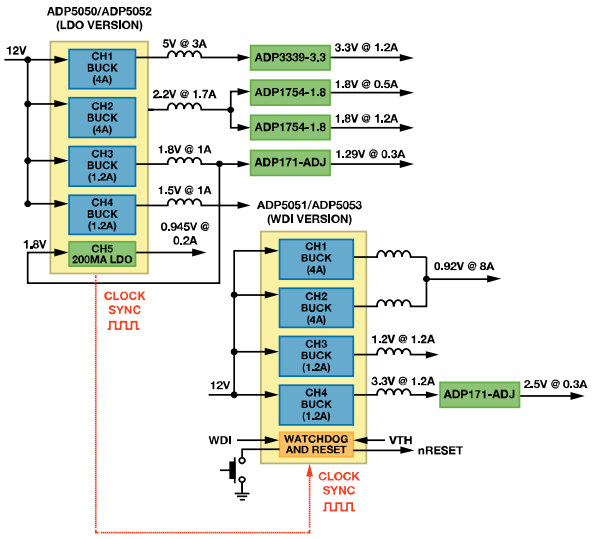


图 13. RF 应用显示两个器件同步以降低电源噪声

两个器件均同步至同一时钟，因此，第一个器件的通道 1 与第二个器件的通道 1 之间的相移为 0°，如图 14 所示。

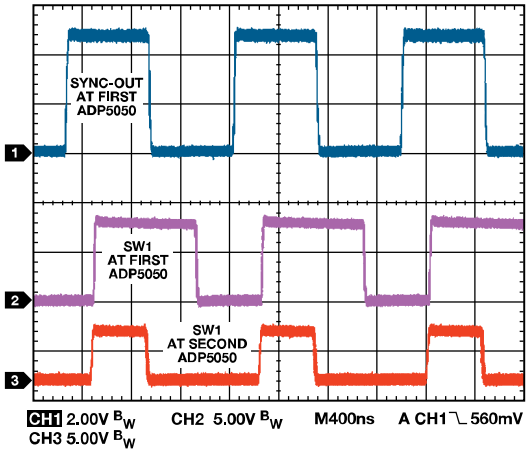


图 14. 两个以同步模式工作的 ADP5050 器件的波形

ADIsimPower 设计工具

ADIsimPower™现在支持多通道高压 PMU ADP5050/ADP5052，这些器件从最高 15 V 的输入为 4/5 的通道供电，每通道的负载电流最高可达 4 A。凭借该设计工具，用户可以级联通道，将高电流通道并联放置以形成 8 A 电源轨，考虑各通道的热分布，从而优化设计。利用高级特性，用户可以独立指定各通道的纹波和瞬变性能、开关频率、支持半主频率的通道。

ADIsimPower 允许用户在图 15 所示的软件界面上快速轻松地输入设计要求。

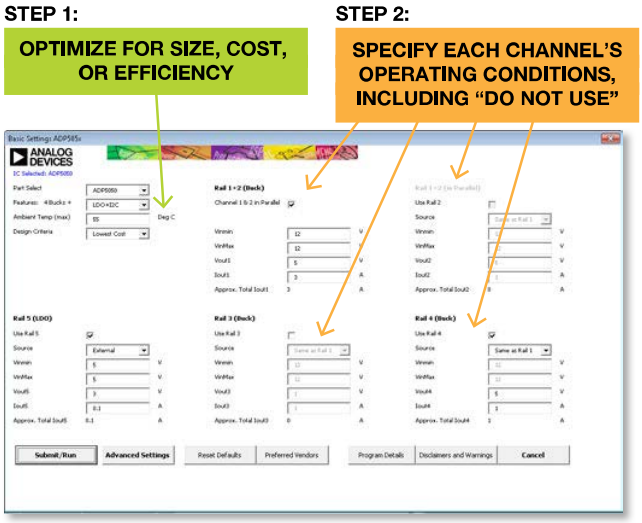


图 15. ADIsimPower 软件界面

软件会智能选择器件并生成完整的物料清单。评估板可以直接在该工具内申请。设计工具支持对各通道进行复杂的控制，如图 16 所示。

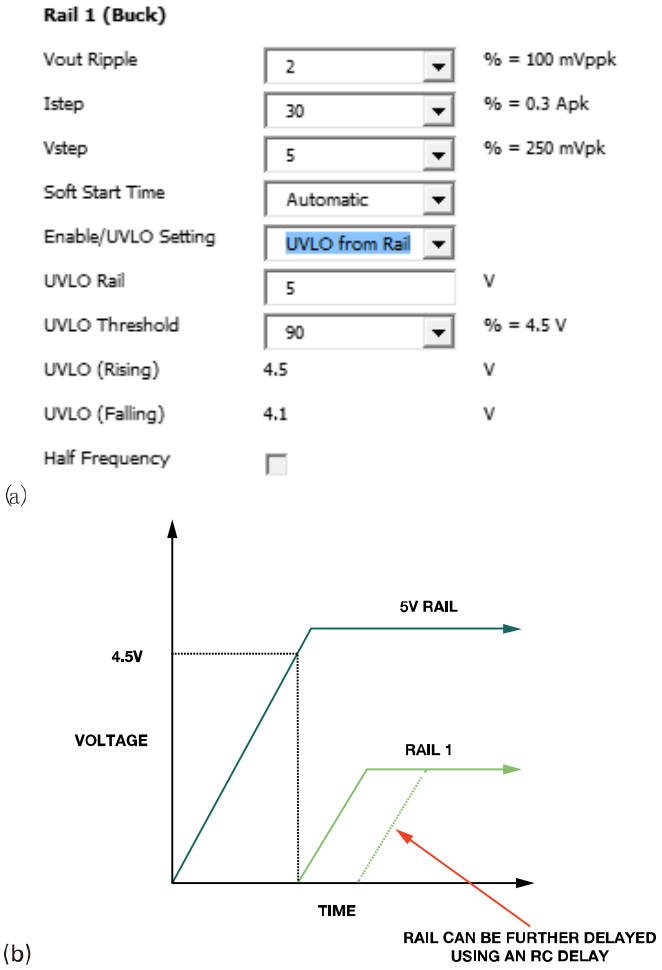


图 16. (a) 可以指定各轨的纹波、瞬变和响应。
(b) 使用精密使能的高级时序控制要求。

利用 ADIsimPower，电源设计师可以快速获得准确、经过测试的可靠性能数据，如图 17 所示。

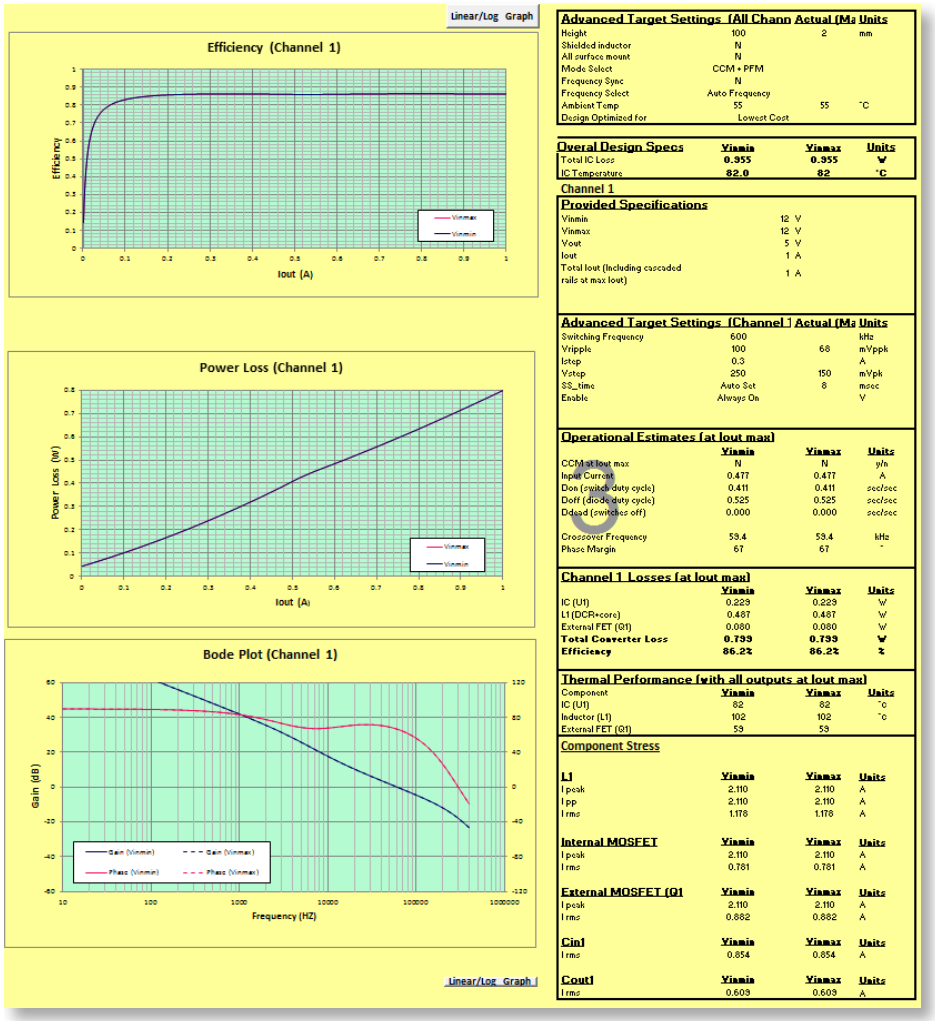


图 17. ADIsimPower 仿真输出

随后便可在评估板上组装设计，如图 18 所示。

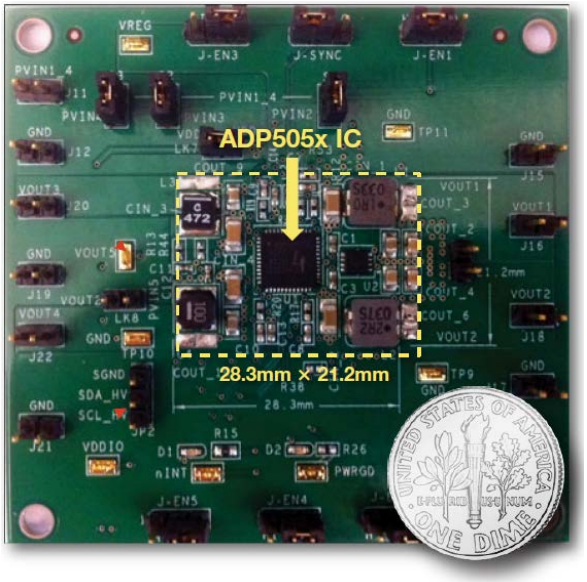


图 18. 使用 ADP5050/ADP5052 的电源电路

ADP5050/ADP5052/ADP5051/ADP5053 技术规格

产品型号	描述	V_{IN} (V)	V_{OUT} (V)	输出数	输出电流 (mA)	I^2C	主要特性	封装	报价（美元/片）
ADP5050	四通道降压调节器、LDO、I^2C	降压：4.5 至 15	0.8 至 0.85 × V_{IN}	2 x 降压	4000、2500 或 1200	是	带独立使能引脚和电源良好指示的 I^2C 接口	48 引脚 LFCSP	4.39
				2 x 降压	1200				
		LDO：1.7 至 5.5	0.5 至 4.75	LDO	200				
ADP5051	四通道降压调节器、POR/WDI、I^2C	降压：4.5 至 15	0.8 至 0.85 × V_{IN}	2 x 降压	4000、2500 或 1200	是	带独立使能引脚和电源良好指示的 I^2C 接口	48 引脚 LFCSP	4.59
				2 x 降压	1200				
ADP5052	四通道稳压器、LDO	降压：4.5 至 15	0.8 至 0.85 × V_{IN}	2 x 降压	4000、2500 或 1200	否	独立使能引脚和电源良好指示	48 引脚 LFCSP	3.59
				2 x 降压	1200				
		LDO：1.7 至 5.5	0.5 至 4.75	LDO	200				
ADP5053	四通道降压调节器、POR/WDI	降压：4.5 至 15	0.8 至 0.85 × V_{IN}	2 x 降压	4000、2500 或 1200	否	独立使能引脚和电源良好指示	48 引脚 LFCSP	3.79
				2 x 降压	1200				

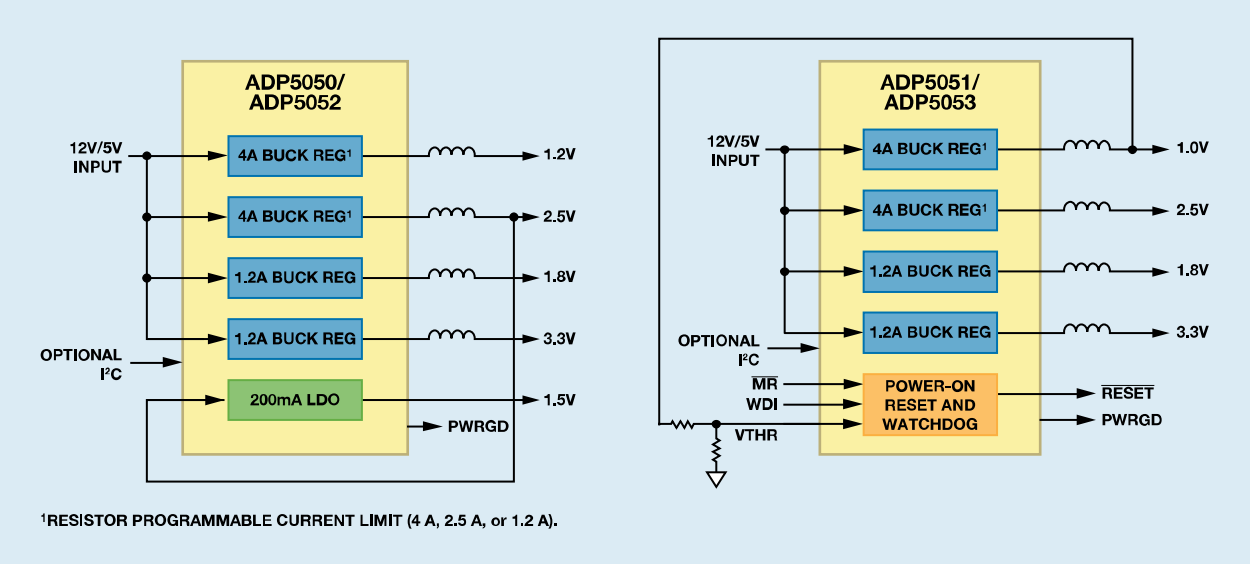
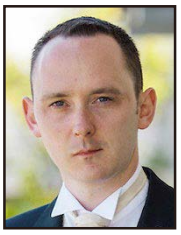


图 19. ADP5050/ADP5051/ADP5052/ADP5053：四通道降压开关调节器，带 LDO 或 POR/WDI，采用 LFCSP 封装

结论

高度集成的全新 PMU 可实现具有高电源效率、高可靠性和超小尺寸的复杂电源管理解决方案。全新设计工具与灵活的集成电路相结合，则可缩短这些复杂电源产品的上市时间。ADP505x 系列是 ADI 公司高度集成的多路输出稳压器的最新产品组合，该系列使单个 IC 能快速轻松地用于许多不同的应用，从而缩短电源设计时间。要讨论这些器件的技术方面，请访问 EngineerZone® 中文技术论坛。

作者简介



Maurice O'Brien [maurice.obrien@analog.com] 于 2002 年毕业于爱尔兰利默里克大学，获得电子工程学士学位，毕业之后即加入 ADI 公司。他目前是电源管理产品线的产品营销经理。业余时间，Maurice 喜欢骑马、户外运动和旅游。